

---

# CA-IS364x 集成隔离 DC-DC 的多通道数字隔离器辐射抑制参考设计

---

## 目录

1. 概述.....	2
2. 与辐射相关的芯片工作机制及抑制措施.....	3
2.1. 芯片功能概述.....	3
2.2. 合理放置去耦电容.....	3
2.3. 在原副边之间放置 Y 电容.....	4
2.4. 放置磁珠/共模电感/差模电感.....	4
2.5. 构建边缘防护.....	5
3. EMI 方案描述.....	6
3.1. EMI 结果总结.....	6
3.2. 参考方案（两层板）.....	6
3.2.1. PCB 参考图及布局建议.....	6
3.2.2. 电路原理图及推荐器件配置.....	8
3.2.3. EMI 测试结果.....	9
修订历史.....	11
重要声明.....	11

## 1. 概述

本文针对川土微电子的集成隔离 DC-DC 的 4 通道数字隔离器 CA-IS364x，介绍其在应用过程中的辐射 EMI 抑制方法，测试板基于 2 层 PCB 设计。测试标准为 EN55032(CISPR32) Class-B，频率范围 30MHz-1GHz。抑制辐射 EMI 的措施也可参考川土微电子的 AN001: [隔离电源的辐射抑制设计参考.pdf \(chipanalog.com\)](#)

下图为 CA-IS364x 芯片的 PINOUT 及应用电路：

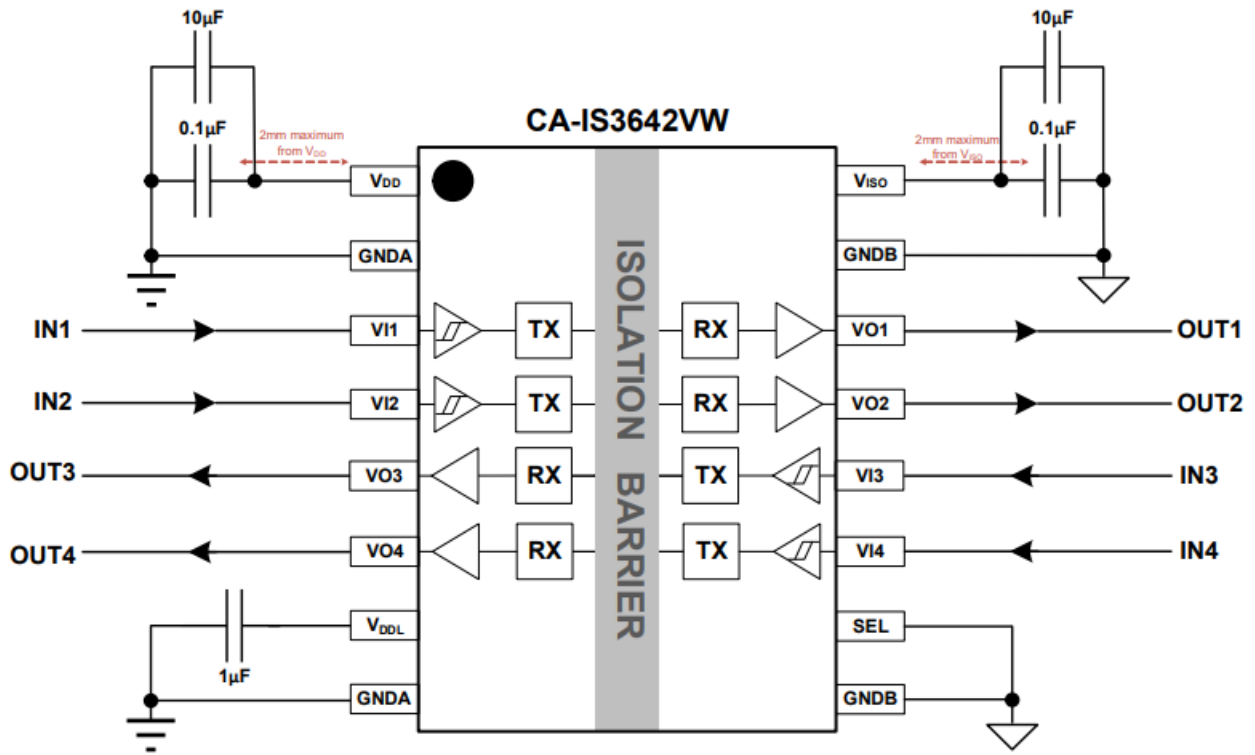
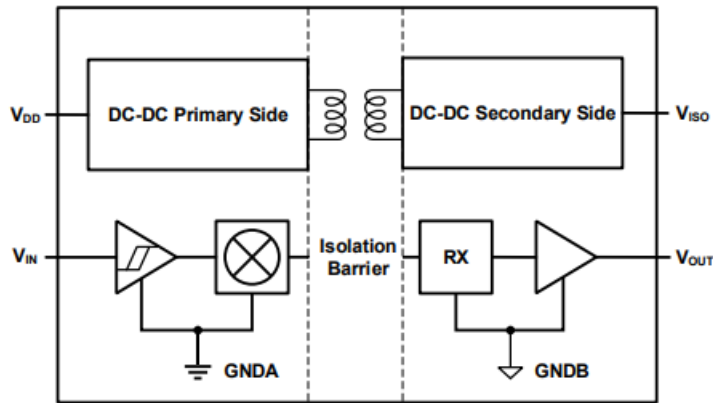


图 1-1 典型应用框图

## 2. 与辐射相关的芯片工作机制及抑制措施

### 2.1. 芯片功能概述

CA-IS364x 的内部结构如下：

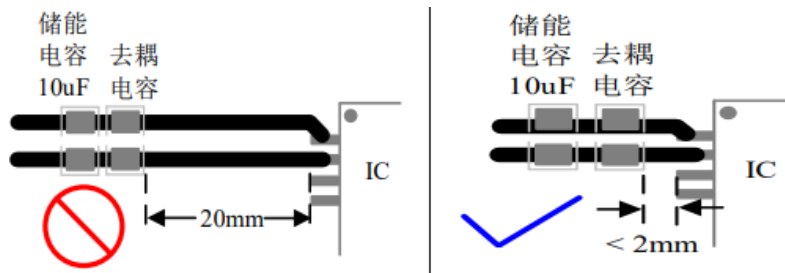


CA-IS364x 是集成片上变压器即集成隔离 DC-DC 电源的 4 通道数字隔离芯片，片上变压器的高频开关引起的高  $dv/dt$ ,  $di/dt$  是辐射的主要源头，此外还有原、副边线圈之间寄生电容引入的共模噪声。在设计外围电路及 PCB 布板时需考虑 EMI 抑制策略，以下是一些具体建议。

### 2.2. 合理放置去耦电容

去耦电容有助于滤除高频开关引起的差模噪声并为芯片提供瞬时峰值电流。建议在原边及副边的电源与地之间均放置低 ESL/ESR 的 MLCC 电容，距离 PIN 脚 1-2mm 以缩小高频环路，容值 10nF, 100nF 等，并与储能电容 10uF 等并联。

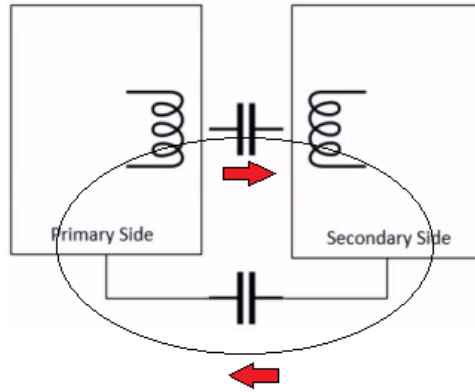
如下图所示：



### 2.3. 在原副边之间放置 Y 电容

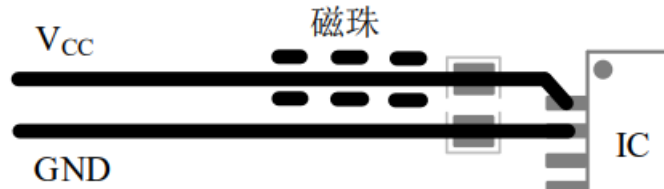
高频开关状态下，共模电流在原副边线圈的寄生电容及 PCB 对地的寄生电容之间形成环流，因环路面积大，产生辐射。建议在原副边之间放置分立 Y 电容，为共模电流提供一个低阻抗的回流路径，减小环路面积降低辐射。

如下图所示：



### 2.4. 放置磁珠/共模电感/差模电感

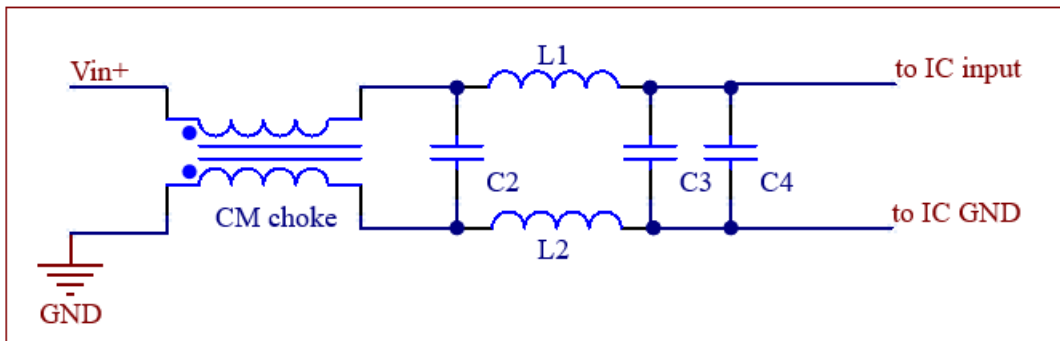
在原边输入侧的电源与地之间放置磁珠增加高频阻抗降低辐射，磁珠紧贴上述去耦电容放置，如下图所示，参数建议取  $1k\Omega - 2K\Omega @100Mhz$ 。



在原边输入侧的电源与地之间视测试效果选择性放置共模电感滤除中高频噪声，如下图输入端 CM choke 所示，参数建议取  $1K\Omega - 2K\Omega @100Mhz$ 。

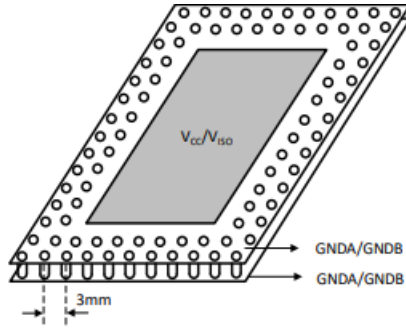
在共模电感之后视测试效果选择性放置差模电感滤除中低频噪声，如下图中 L1, L2 所示。

建议磁珠及共模/差模电感等磁性器件下不铺地，以免被 PCB 寄生电容旁路掉。



## 2.5. 构建边缘防护

在 PCB 四周加上一些接地的过孔，形成接地过孔 防护盾，将噪声返回到地层，减少对外的辐射。建议有两排或两排以上过孔，两排过孔尽量相互错开，如下图所示。



### 3. EMI 方案描述

#### 3.1. EMI 结果总结

表 3-1 方案结果总结

方案	EMI 余量	频点	PCB 层数	层叠电容	Y 电容	共模电感	差模电感
参考方案	1.56dB	976MHz	2	无	19pF	无	1uH (2pcs)

#### 3.2. 参考方案（两层板）

##### 3.2.1. PCB 参考图及布局建议

- 1) 电源输入端采用 LDO(LM1086)将输出电压调整为纯净的 5V 给后级电路供电（差模电感 L1/L2 之前）；
- 2) 将去耦电容紧靠芯片原副边的电源/地放置，缩小高频环路，如下图中 C3,C4/C6,C7；
- 3) 在 CA-IS364x 原边输入侧放置差模电感 L1/L2, 磁珠 BD1/BD2, 滤除高频噪声；
- 4) 在 CA-IS364x 原副边参考地之间串联放置 Y 电容及电阻，缩小高频环路抑制辐射；
- 5) Ro 为负载电阻, 副边输出为 5V/100mA ；
- 6) 其余未贴装器件为测试预留(BD3,BD4,C5)；

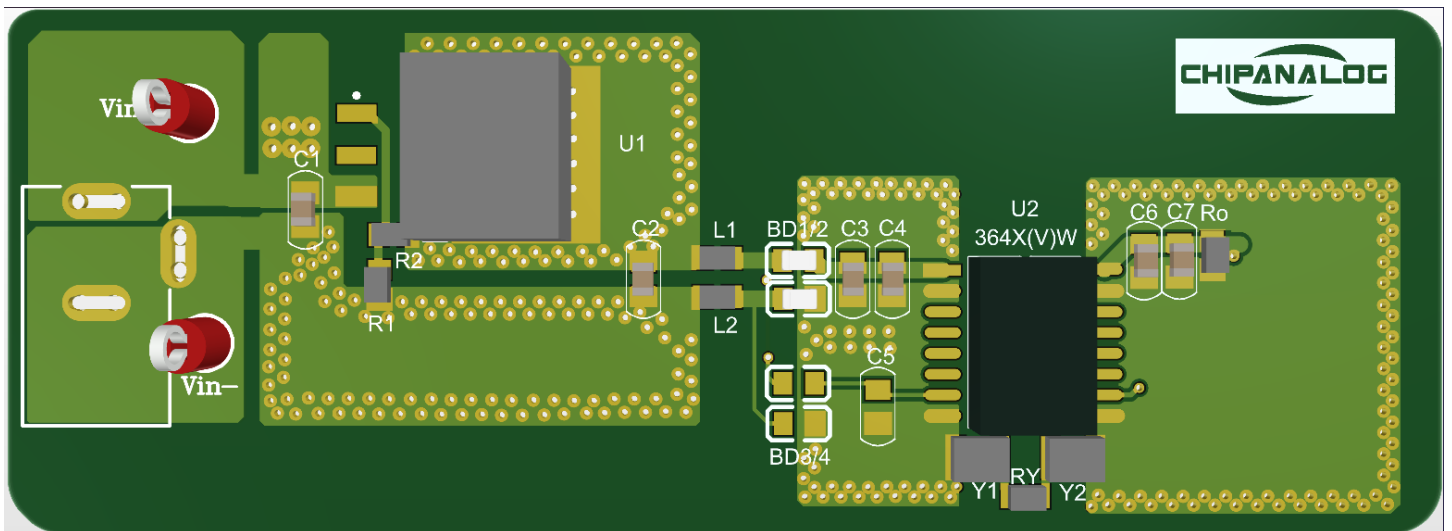


图 3-1 PCB 3D 图

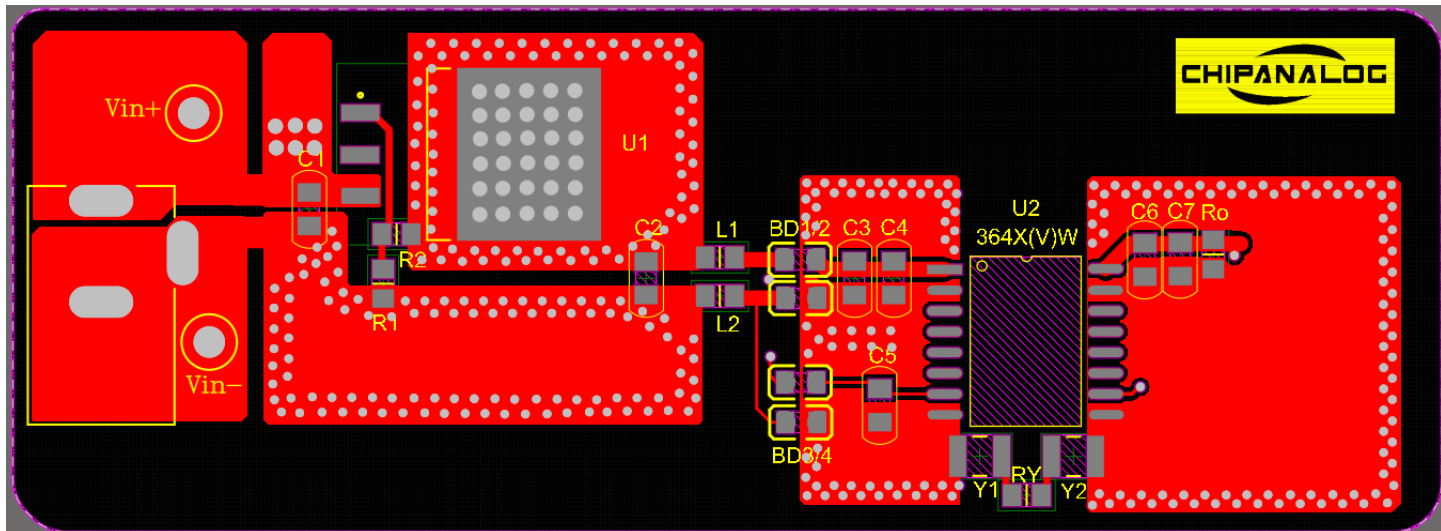


图 3-2 PCB 顶层

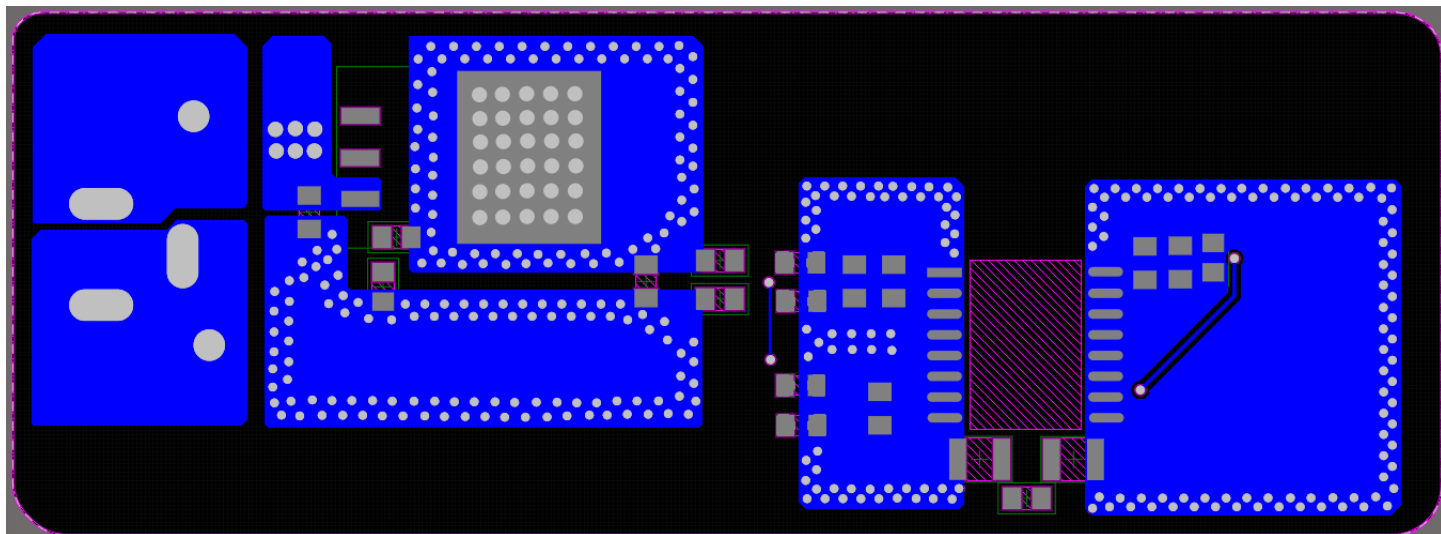


图 3-3 PCB 底层

3.2.2. 电路原理图及推荐器件配置

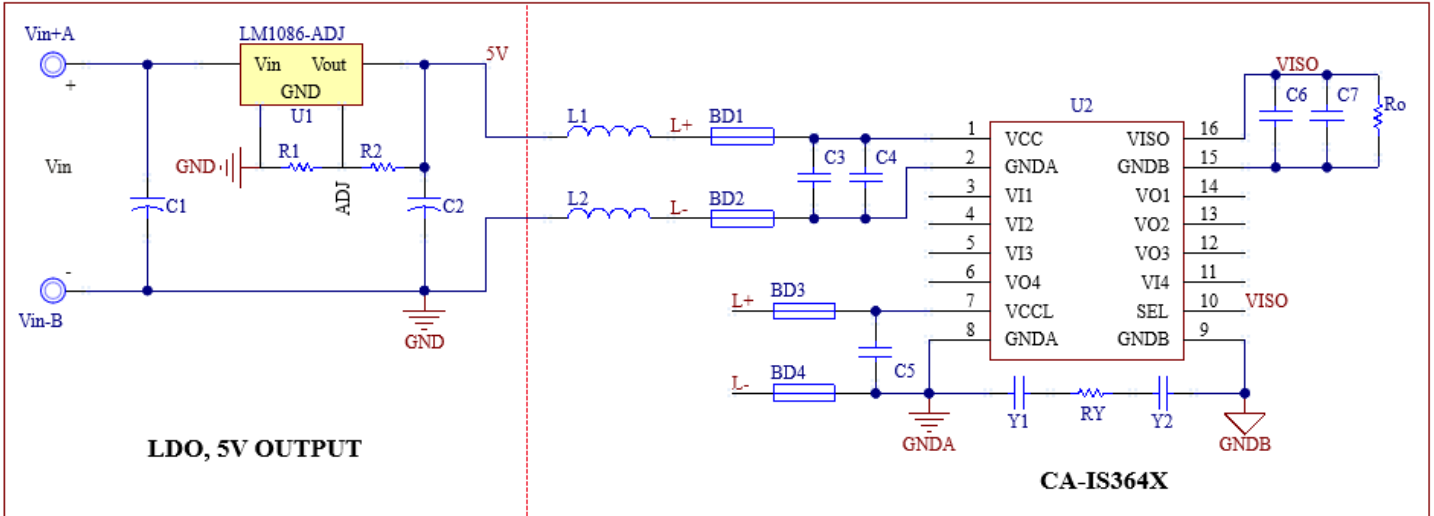


图 3-4 电路原理图

表 3-2 器件配置表

相关措施	位号	参数	EMI 相关器件型号	备注
去耦电容	C4, C6	10nF		
	C3, C7	10uF		
磁珠	BD1, BD2	1kΩ (@100MHz)	BLM18HE102SN1	
差模电感	L1, L2	1uH	MLZ2012M1R0HT000	
Y 电容	Y1, Y2	39pF	GRM31A7U3D390JW31	
阻尼电阻	RY	20Ω		与 Y 电容串联



3.2.3. EMI 测试结果

表 3-3 方案一 EMI 测试结果总结

输入电压	输出电压	负载大小	垂直余量	水平余量
5V	5V	100mA	8.4dB	1.56dB

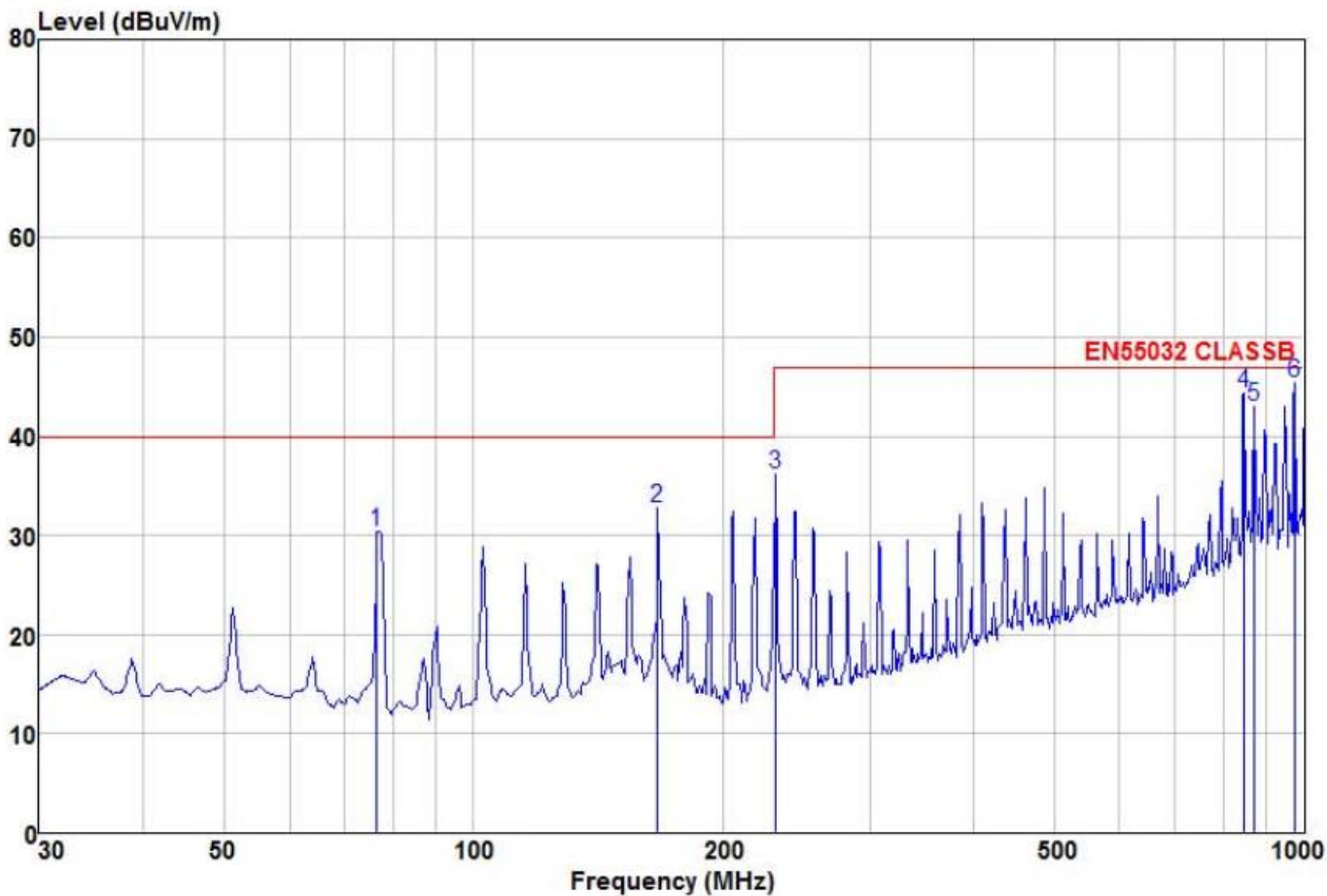


图 3-5 水平方向结果

水平方向 EMI 测试结果：30MHz -1000MHz，余量 1.56dB；

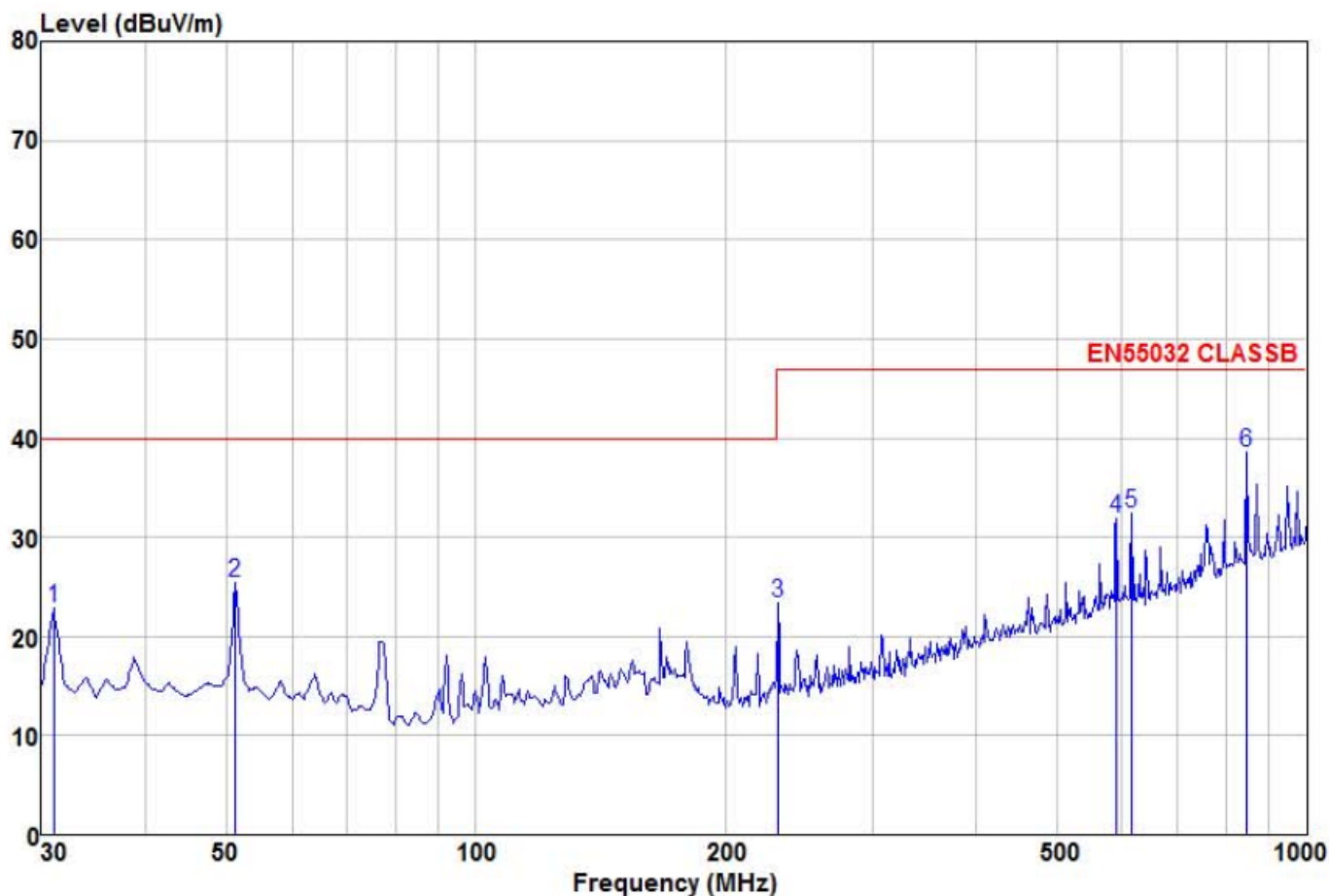


图 3-6 垂直方向结果

垂直方向 EMI 测试结果：30MHz -1000MHz，余量 8.4dB。

### 修订历史

修订版本	修订时间	修订内容
Ver 1.0	2023/12/25	初始版本

### 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。