

隔离电源的辐射抑制设计参考

概述

本文以 CA-IS3092W 为例，介绍川土集成隔离电源芯片抑制辐射的方法，供客户参考。

CA-IS3092W 是集成隔离电源的隔离式 RS-485/RS-422 收发器，隔离电源的输出 VISO 有 5V 和 3.3V 两种选项，通过 SEL 管脚选择，可提供最大负载 100mA。芯片内置微变压器，由于变压器尺寸和功率的限制，通过微型变压器的开关频率相对较高，到约 70MHz。短时间内大电流的切换会产生电磁辐射，引起较大的 di/dt 及 dv/dt 噪声。器件工作所产生的噪声落在 30 MHz 至 1 GHz 范围内，产生辐射干扰问题。

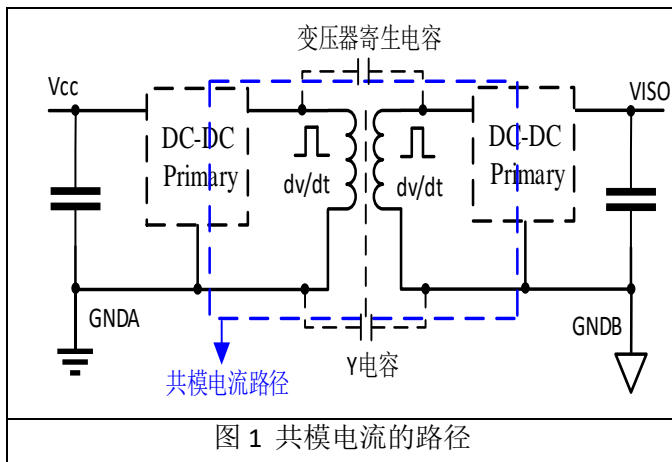
通过合适的 PCB 布局和其他方法的设计，此产品可以满足在非屏蔽应用环境下的 EN55032 的 class A 类辐射标准。下面介绍几种抑制辐射的方法。

本文仅仅从电路上总结抑制辐射干扰的办法，在芯片应用中，整体方案可以加法拉第屏蔽罩，大幅度降低辐射干扰。

GNDA 和 GNDB 拼接电容

芯片内部开关器件是其中一个噪声源，芯片内置的微型变压器是另外一个噪声源。理想的变压器，仅仅流过变压器原边线圈中的电流耦合到副边。但是，微型变压器的漏感及初级的层间电容、原副边之间的耦合电容等寄生参数则为寄生电流提供了耦合到副边的通道。如果有一条通路，为这些寄生电流提供返回原边的路径，那么将不会产生很大的辐射。如果没有这种路径，这些寄生电流成为在次级侧输出 VISO 和 GNDB 上的共模电流，这些共模电流会形成偶极天线，产生较强的辐射干扰。

CA-3092W 芯片内部已经做了相应的优化措施，尽可能地降低辐射干扰。在芯片应用时，如果在原边地和副边地之间加入 Y 电容，这些次级侧的共模电流被 Y 电容旁路，返回初级。Y 电容为共模电流提供一个低阻抗返回路径，大大降低辐射干扰。Y 电容越大，相对效果越好。隔离栅上的拼接电容为共模电流提供必要的低阻抗返回路径，同时系统仍能保持所需的高压隔离，如图 1 所示。



分立器件的 Y 电容耐压存在分布电感，导致高频特性效果稍差。使用 PCB 拼接电容更为可靠的一种方式。当 PCB 的两信号层大面积覆铜交叠时，就会形成一个电容。这种拼接电容，分布电感极低，高频特性比较好，可以覆盖较宽的频率。拼接电容量计算如下：

$$C = \epsilon_r * \epsilon_0 * S / d$$

其中： ϵ_r 为 PCB 两层信号层的相对介电常数，对于常用的 FR4 材料，其值约为 4.5；

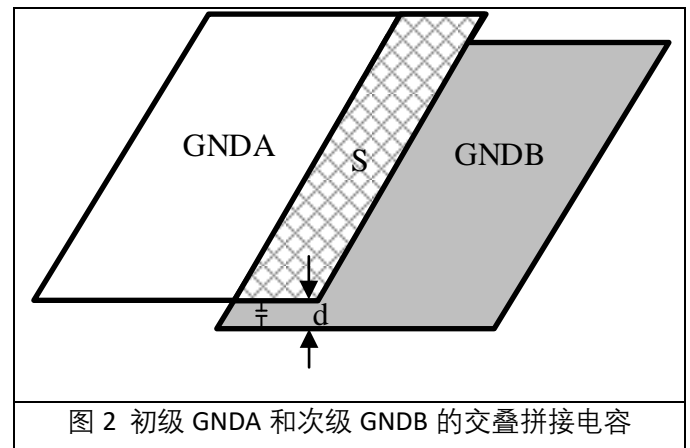
ϵ_0 为自由空间的介电常数 $8.854 * 10^{-12} \text{F/m}$ ；

S 为两层信号层的交叠面积；

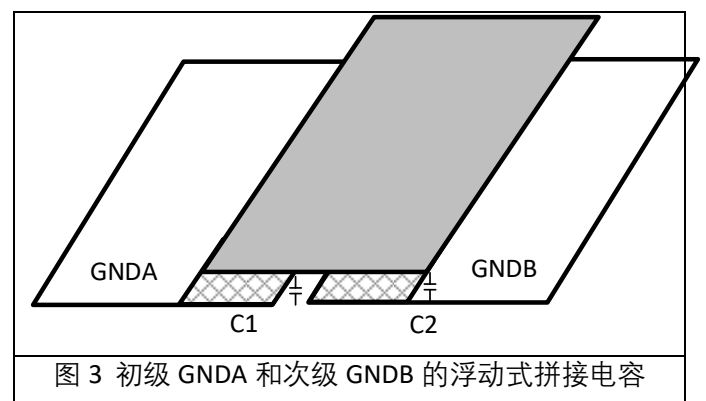
d 为两信号层的相对间距。

拼接电容的大小与铜箔厚度关系不大，使用常规 10Z 厚度的铜箔即可。如当 d 为 0.000456m，S 约为 0.0022m²，计算拼接电容为 $C = 4.5 * 8.544 * 0.0022 / 0.000465 \text{pF} = 181.9 \text{pF}$ 。

初级地平面层和次级地平面层交叠，形式拼接电容。由于爬电距离和电气距离的要求，此拼接电容的距离应不低于 0.4mm。对于 4 层 PCB，一般应置于中间两层。如图 2 所示。



拼接电容除了上述交叠的方式，也可以采用浮动式的拼接方式来实现。如图 3 所示。总的拼接电容相当于 C1 和 C2 的串联效果。

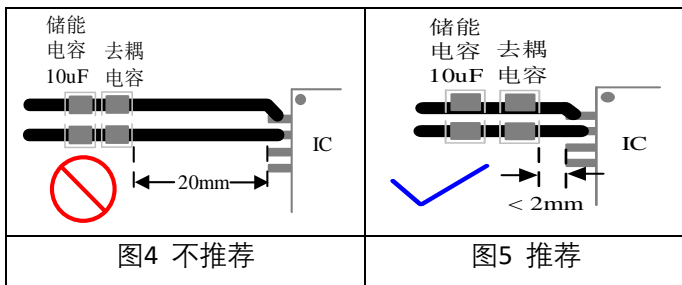


实验表明，拼接电容提供了共模电流返回初级侧的路径，减少对外辐射，对于改善 RE 辐射起到较大的作用。

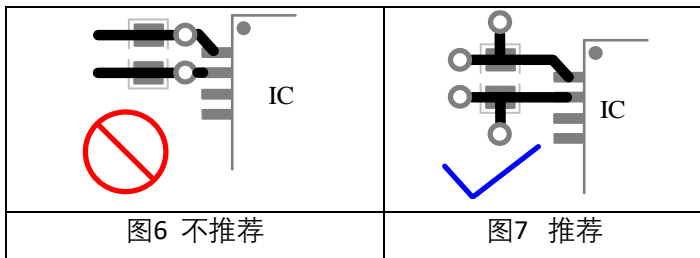
V_{CC} 去耦电容

芯片内置的微型变压器的频率高达约 70MHz，短时间内如此大频率的切换，将引起较大的 dv/dt 及 di/dt ，将产生一定的电磁辐射。微型变压器的原副边电流路径的环路面积影响着辐射干扰的强弱，电流环路越大，辐射越强。PCB 布线时需要最大程度地缩小电流路径的环路面积。

输入 V_{CC} 及输出侧 VISO 的储能电容及耦合电容位置放尽可能摆放在靠近芯片的管脚位置，以减少环路面积和 PCB 走线的寄生电感，一般应控制在 2mm 以内。储能电容 10 μF 应放在最外侧，去耦电容要放在靠近芯片的位置。如下图 4 和图 5 所示。



当需要在供电电源线和地线中放置过孔，过孔的摆放位置在电容相对于芯片管脚的外侧，而非放置在电容和芯片之间，以减少过孔寄生电感的影响，如下图 6 和图 7 所示。如果 PCB 空间允许应多放置几个过孔，这样过孔的寄生电感相当于并联，进一步减少过孔的寄生电感带来的影响。



变压器的频率高达 70MHz，芯片在开关期间需要初次级供电端 V_{CC} 对 GNDA 以及 VISO 对 GNDB 需要放置容量约 10 μF 储能电容来提供开关期间的瞬间大电流。此外，需要合适的去耦电容来滤除高频噪声。去耦

电容一般选用 MLCC 多层陶瓷电容，但陶瓷电容存在着寄生电感，频率越高，越不能忽略 ESL 的影响。MLCC 电容的等效图如下所示。

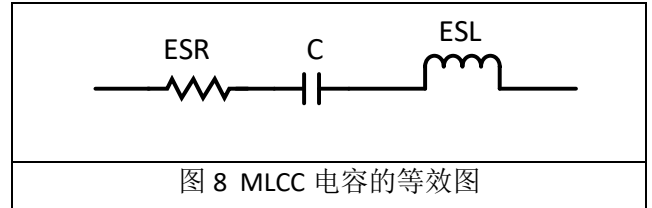


图 8 MLCC 电容的等效图

ESR: 电容器电介质或者电极损耗(高频)产生的寄生电阻;

ESL: 电容的分布电感以及 PCB 走线的寄生电感。

$$Z(\Omega) = \sqrt{(ESR)^2 + (X_{ESL} + X_C)^2}$$

$$X_{ESL}(\Omega) = 2\pi f L$$

$$X_C(\Omega) = \frac{1}{2\pi f C}$$

$$f_{RES} = \frac{1}{2\pi \sqrt{LC}}$$

某 10nF/10V MLCC 电容相应的阻抗-频率如图 9 所示。

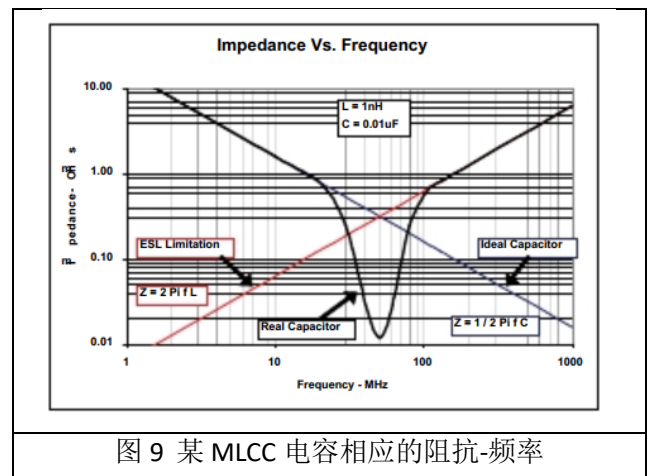


图 9 某 MLCC 电容相应的阻抗-频率

从上图可以看到，当频率较低时，电容的感抗远小于容抗，表现为容抗特性，且阻抗值较大；当超过自谐振频率时，电容的感抗大于容抗，表现为感抗特性，阻抗随着频率的增加而增加。因此，在选择器件时，去耦电

容的自振频率应在 70MHz 及多倍频附近。也可以用几个不同容量的去耦电容，这样可以覆盖更宽的频率。

除了上述利用分立器件外，也可以通过 PCB 的 V_{CC} 平面层与地层之间拼接电容，形成 V_{CC} 去耦电容。PCB 拼接电容的分布电感较小，高频特性优于分立器件，可以覆盖相对较宽的频率。PCB 拼接电容于 PCB 板上的分立器件的电容共同起到去耦作用。例如 PCB 第一层 GNDA 和第二层 V_{CC} 之间的厚度为 0.2mm， V_{CC} 和 GNDA 的交叠面积为 $0.0021m^2$ 。按照上述计算方式，得到拼接电容约为 $C=4.5*8.544*0.0021/0.0002pF, =403.7 pF$ 。

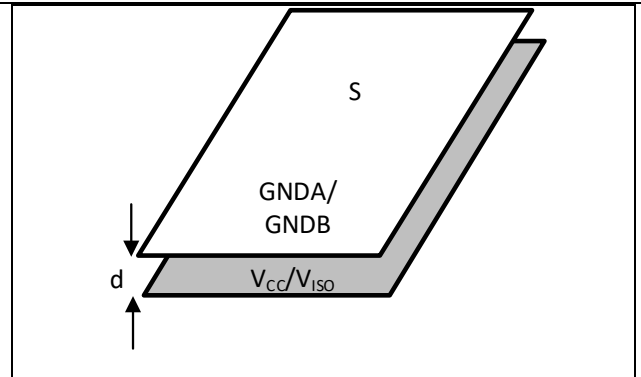


图 10 V_{CC}/V_{ISO} 对 GNDA/GNDB 的拼接电容

同样地，次级输出 V_{ISO} 和 GNDB 端除了分离电容外，也应参考初级侧 V_{CC} 平面层和地平面层，形成 V_{ISO} 对 GNDB 的 PCB 拼接电容。

构建边缘防护

电源层和地层之间的电场是变化的，在 PCB 板的外会向外辐射电磁干扰，称为边缘效应。将电源层内缩，使得电场只在接地层的范围内传导，以减少向外辐射。若电源平面的边缘到地平面的边缘内缩两个平面层间距的 20 倍以上，可以有效降低向外辐射，即 20H 法则。如图 11 所示。

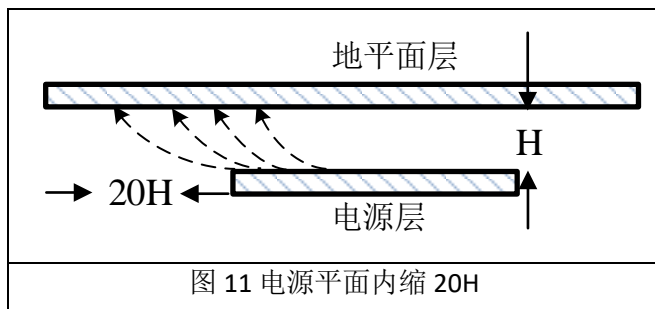


图 11 电源平面内缩 20H

在 PCB 四周加上一些接地的过孔，形成接地过孔防护盾，将噪声返回到地层，减少对外的辐射。如图 12 所示。

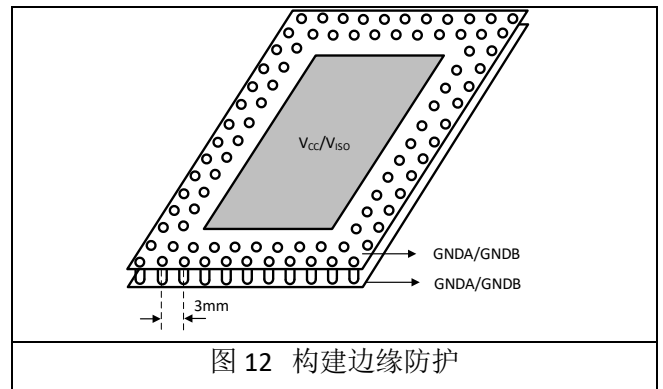


图 12 构建边缘防护

过孔屏蔽墙的设计如下，效果更佳：

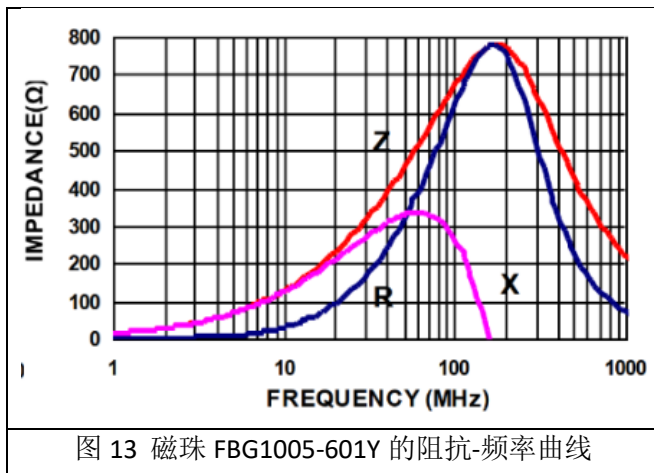
- 有一排以上的过孔；
- 若有两排以上，两排过孔尽量相互错开；
- 同一排的过孔间距不小于电磁波波长 λ 的二十分之一。实际布线时，过孔间距可以取 3mm 左右，足以屏蔽 1GHz 以下的电磁干扰。

宽频磁珠的使用

磁珠有高频磁珠、宽频磁珠等不同的类型，高频磁珠，相应速度快，频段较窄，适用于特定频段的噪声抑制。而宽频磁珠具有在比较宽的频段上保持相对较高的阻抗。由于芯片频率工作在约 70MHz，在基频及其多倍频处辐射干扰比较明显。

磁珠的主要原材料为铁氧体，宽频磁珠具有低频阻抗很低，在很宽的高频频段内保持较高的阻抗。RF 能量是叠加在直流传输电平上的交流成分，直流成分是需要有用信号，而射频 RF 能量却是无用的电磁感染沿着线路和空间传输，形成 CE 传导和 RE 辐射干扰。贴片磁珠扮演着高频电阻的角色，允许直流信号通过，而滤除相应频段的交流信号。铁氧体磁珠在高频下的高电阻特性决定了其是一个消耗能量装置，高频噪声能量在磁珠上转化为热能。

下面是型号为 FBG2912-601Y 的宽频磁珠，其阻抗-频率特性如下图所示。

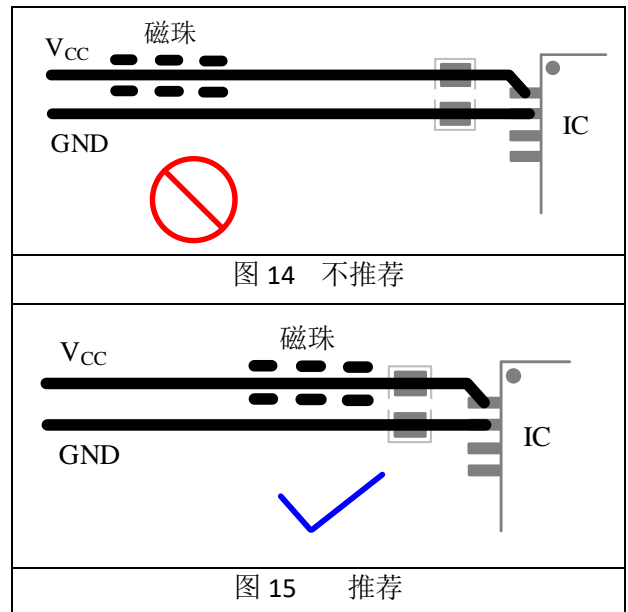


在较高的频段，如大于 100MHz，磁珠的阻抗主要由电阻成分构成，随着频率的升高，磁珠磁芯的磁导率降低，导致电感量减少，感抗成分减小，但是此时磁芯的损耗增加，电阻成分增加。当高频信号通过铁氧体时，电磁干扰被吸收并转化为热能的形式消耗掉，对降低 RE 辐射有帮助。

在相对较低的频段，如小于 10MHz，磁珠的阻抗主要有感抗构成，低频时电阻成分很小。磁芯的磁导率较高，电感量相对电阻较大，电感起主要作用。这时磁芯的损耗较小，磁珠相当于一个低损耗、高品质因数特性的电感。

选择磁珠时，应考虑在需要的频段相对阻抗较大的阻抗。如 FBG2912-601Y 型号的磁珠，在 30MHz 到 1GHz 的频段内都有着较高的阻抗。

此外，铁氧体磁珠的摆放位置应尽可能靠近干扰源的地方，如下图所示。



应用时，如果一个磁珠的衰减量不够时，可以使用多个相同磁珠串联使用，也可以使用不同型号的磁珠串联使用，这样可以覆盖更宽的频率范围。

对比实验

1. 初级 V_{CC} 对 GNDA 以及次级 VISO 对 GNDB 的 PCB 拼接电容各为约 500pF(参考图 2 和图 10)。分立器件只有 $10\mu F$ 储能电容, 无去耦电容, 辐射测试结果如下图 16;
2. 初级 V_{CC} 对 GNDA 以及次级 VISO 对 GNDB 的 PCB 拼接电容各为约 400pF+400pF(参考图 2 和图 10)。分立器件只有 $10\mu F$ 储能电容, 无去耦电容, 辐射测试结果如下图 17;

3. 初级 V_{CC} 对 GNDA 以及次级 VISO 对 GNDB 的 PCB 拼接电容各为约 400pF+400pF。分立器件除了 $10\mu F$ 储能电容外, 加入 **10nF+470pF 去耦电容**, 参考图 18, 辐射测试结果如下图 19;
4. 初级 V_{CC} 对 GNDA 以及次级 VISO 对 GNDB 的 PCB 拼接电容各为约 400pF+400pF。分立器件除了 $10\mu F$ 储能电容外, 加入型号为 **FBG1005-601Y 的磁珠**, 参考图 20, 辐射测试结果如下图 21。

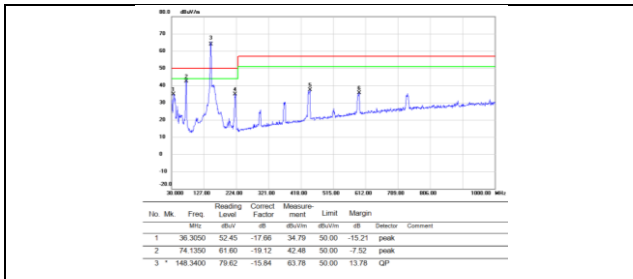


图 16 V_{CC} 对 GNDA 以及 VISO 对 GNDB 拼接电容各为约 500pF 辐射
输入电压: 5V
VISO 输出电压及负载: 5V/100mA

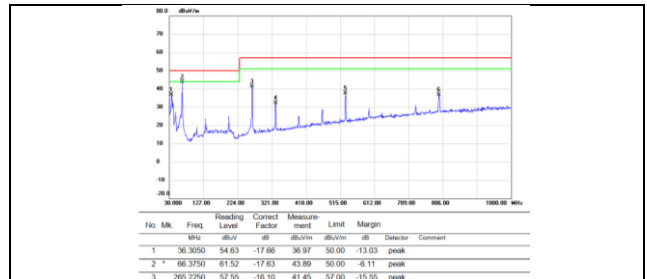


图 19 加入 10 nF +470pF 去耦电容 辐射
输入电压: 5V
VISO 输出电压及负载: 5V/100mA

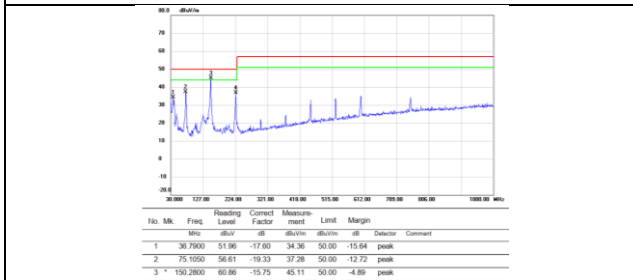


图 17 V_{CC} 对 GNDA 以及 VISO 对 GNDB 拼接电容各为约 400 pF +400 pF 辐射
输入电压: 5V
VISO 输出电压及负载: 5V/100mA

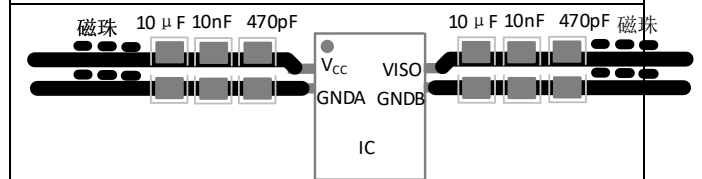


图 20 加入 10nF+470pF 去耦电容以及磁珠示意图

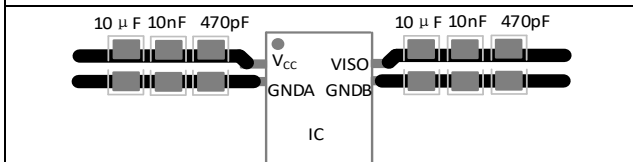


图 18 加入 10nF+470pF 去耦电容示意图

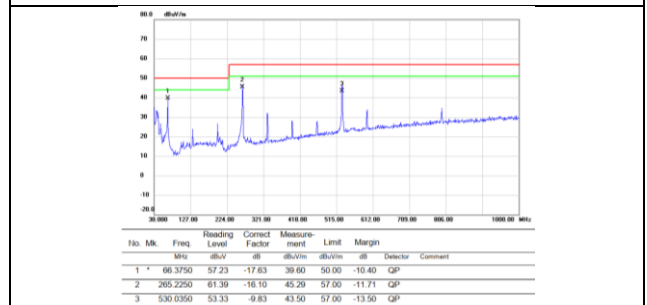


图 21 加入型号为 FBG1005-601Y 的磁珠 辐射
输入电压: 5V
VISO 输出电压及负载: 5V/100mA

实验表明:

1. 初级地 GNDA 和次级地 GNDB 的 PCB 拼接电容对 30MHz-1GH 整体频段内的辐射有大幅度的改善, 约降低 20dB μ V/m;
2. 初级 V_{CC} 对 GNDA 以及次级 VISO 对 GNDB 的 PCB 拼接电容 30MHz-1GH 整体频段的辐射有大幅度的改善, 约降低 10dB μ V/m;
3. 初级 V_{CC} 对 GNDA 以及次级 VISO 对 GNDB 的分立器件去耦电容 10nF 和 470pF 对 150MHz 处的辐射约降低 20 dB μ V/m, 对其他频段也有不同幅度的改善;
4. 型号为 FBG1005-601Y 的磁珠对 70MHz 处的辐射约降低 3dB μ V/m。

示例

综上所述，下面是 CA-IS3092W 的 4 层 PCB 的布线实例。PCB 长和宽都为 99mm，厚度为 1.0mm。第一层信号层和第二层信号层之间的绝缘层厚度为 0.2mm，第二层和第三层之间的绝缘层厚度为 0.465mm，第三层和第四层信号层之间的厚度为 0.2mm。

初级地 GNDA 和次级地 GNDB 的拼接电容约为 180pF；V_{CC} 对 GNDA 以及 VISO 对 GNDB 的拼接电容约

为 400pF+400 pF；做了相应的边缘防护。PCB 的各个层布线如下所示。

FBL1 和 FBL2 选取型号为 FBG1005-601Y 的磁珠，C2 和 C5 分别选取 10 μF，C3、C6 和 C4、C7 分别选取 10nF 和 470pF，测试结果如图 21 所示，满足 EN55032 的 class A 类辐射标准，比其限值低了 10.4dB μV/m。

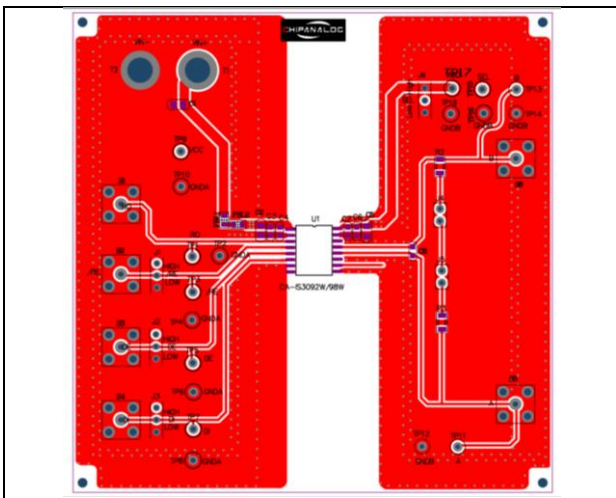


图 22 第一层

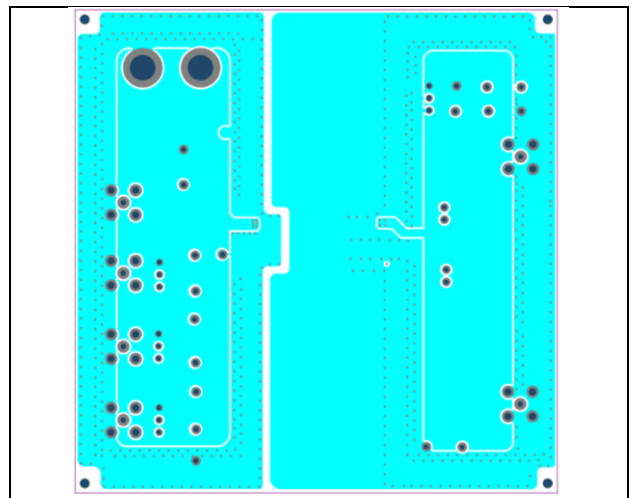


图 24 第三层

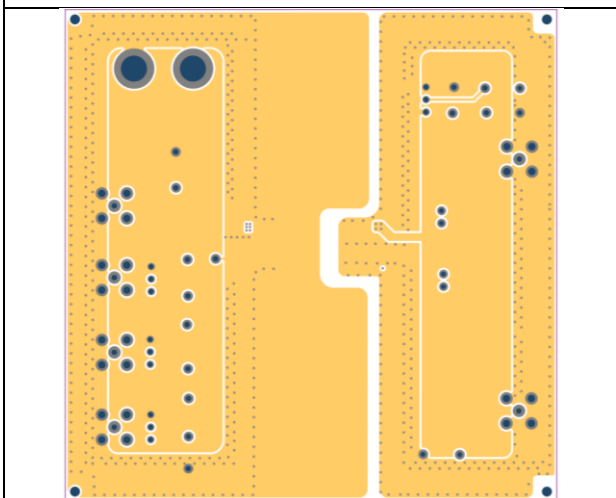


图 23 第二层

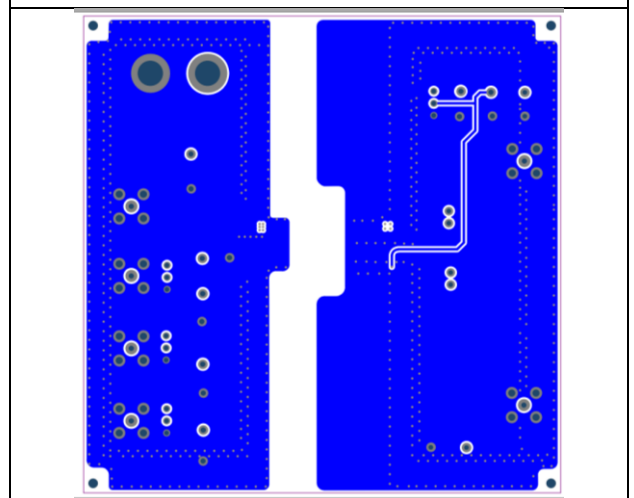


图 25 第四层

总结

以上提出了抑制辐射干扰的方法，总结如下：

- 1.初级地 GNDA 和次级地 GNDB 之间的 PCB 拼接电容对抑制辐射的作用比较大，其拼接电容的好坏将直接决定整体辐射水平的高低；
2. 初级 V_{CC} 对 GNDA 以及次级 VISO 对 GNDB 的 PCB 拼接电容对抑制辐射的作用也很大，分立器件的供电电

- 容和耦合电容的摆放位置、选型及 PCB 布线对辐射的影响相对比较关键；
- 3.边缘防护的设计以及磁珠的合理选用可进一步降低辐射干扰。

Revision History

版本	日期	状态描述
Ver1.0	Jan.2021	初始版本

重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

<http://www.chipanalog.com>