

适用于 SiC/IGBT、高 CMTI、15A 拉/灌电流的单通道增强隔离栅极驱动器

1. 产品特性

- 5.7kV_{RMS} 耐压等级的单通道隔离栅极驱动器
- 33V 最大输出驱动电压 (VDD-VEE)
- ±15A 峰值驱动电流能力
- CA-IS3213MCG 版本具有：
 - 内置 4A 峰值电流有源米勒钳位
- CA-IS3213VCG 版本具有：
 - 外置 COM 脚，便于隔离驱动侧正负电源供电
- CA-IS3213SCG 版本具有：
 - OUTH 和 OUTL 分离输出配置
- 高共模瞬态抗扰度：150V/ns (最小值)
- 输入引脚上 40ns (典型值) 瞬态和脉冲抑制功能
- 隔离驱动侧 VDD 供电包含 12V UVLO 功能
- 延时特性：
 - 130ns (最大值) 传播延迟
 - 30ns (最大值) 脉宽失真
 - 30ns (最大值) 器件间延时匹配
- SOIC8-WB 宽体封装，爬电距离和间隙距离>8mm
- 额定工作电压下隔离栅寿命大于40年
- 工作结温 (T_J) 范围：-40°C 至 150°C
- 安全认证：
 - VDE 增强隔离，根据 DIN EN IEC 60747-17 (VDE 0884-17): 2021-10 认证
 - 根据 UL1577 认证，5.7kV_{RMS} 隔离耐压@1 分钟
 - 根据 CQC GB 4943.1-2022 认证

2. 典型应用

- 光伏逆变器
- 储能变流器
- 工控电机控制器
- 充电桩功率模块
- UPS 及工业电源等

3. 概述

CA-IS3213 是一系列基于电容隔离的单通道栅极驱动器，可用于驱动 SiC、IGBT 和 MOSFET 器件。器件具有出色的动态性能和高可靠性，同时具有高达±15A 峰值的拉/灌电流能力。

器件通过 SiO₂ 电容隔离技术实现控制侧与驱动侧的电气隔离，支持 1.5kV_{RMS} 的隔离工作电压、12.8kV_{PK} 浪涌抗扰度，额定工作电压下隔离栅寿命超过 40 年，同时具有良好的器件一致性以及>150V/ns 的共模瞬态抗扰度 (CMTI)。

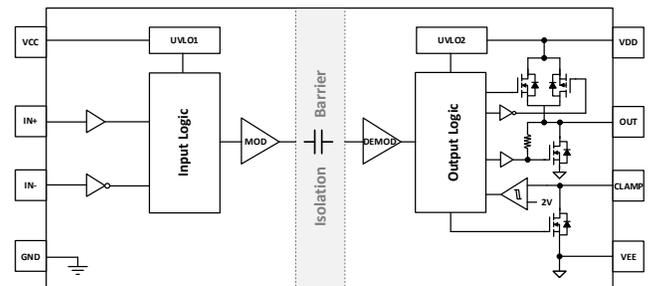
器件控制和驱动侧电源 UVLO，同时针对 SiC 和 IGBT 开关行为进行了优化，并提高了可靠性。此外，CA-IS3213MCG 内置 4A 峰值电流有源米勒钳位；CA-IS3213VCG 外置 COM 脚，便于隔离驱动侧正负电源供电；CA-IS3213SCG 采用 OUTH 和 OUTL 分离输出配置。

全系列采用 SOIC8-WB 宽体封装，爬电距离和间隙距离大于 8mm。

器件信息

器件型号	封装	封装尺寸 (标称值)
CA-IS3213MCG	SOIC8-WB (G)	7.5mm x 5.85mm
CA-IS3213VCG	SOIC8-WB (G)	7.5mm x 5.85mm
CA-IS3213SCG	SOIC8-WB (G)	7.5mm x 5.85mm

简要框图



4. 订购指南

表 4-1 有效订购零件编号

订购型号	功能差异点	封装
CA-IS3213MCG	内置 4A 峰值电流有源米勒钳位	SOIC8-WB (G)
CA-IS3213VCG	外置 COM 脚，便于隔离驱动侧正负电源供电	SOIC8-WB (G)
CA-IS3213SCG	OUTH 和 OUTL 分离输出配置	SOIC8-WB (G)

目录

1. 产品特性.....	1	8.4. 欠压锁定 (UVLO)	16
2. 典型应用.....	1	8.4.1. VCC UVLO	16
3. 概述.....	1	8.4.2. VDD UVLO	16
4. 订购指南.....	2	8.5. CMTI 测试.....	17
5. 修订历史.....	3	9. 详细说明.....	18
6. 引脚功能描述	4	9.1. 概述	18
6.1. CA-IS3213MCG 引脚功能描述	4	9.2. 功能框图	18
6.2. CA-IS3213VCG 引脚功能描述	5	9.3. 特性描述	19
6.3. CA-IS3213SCG 引脚功能描述	6	9.3.1. 电源	19
7. 产品规格.....	7	9.3.2. 驱动级	19
7.1. 绝对最大额定值 ¹	7	9.3.3. VCC 和 VDD 欠压锁定 (UVLO)	20
7.2. ESD 额定值	7	9.3.4. 主动下拉.....	20
7.3. 推荐工作条件.....	7	9.3.5. 短路钳位.....	20
7.4. 热量信息.....	7	9.3.6. 有源米勒钳位.....	21
7.5. 额定功率.....	7	9.4. 器件功能模式	21
7.6. 隔离特性.....	8	10. 应用信息.....	22
7.7. 安全相关认证.....	9	10.1. 典型应用	22
7.8. 安全限值.....	9	10.2. 电源设计	22
7.9. 电气特性.....	10	10.3. 输入滤波器	22
7.10. 开关特性.....	11	10.4. PWM 内部互锁 IN+和 IN-	22
7.11. 典型特性.....	12	10.5. 栅极驱动电阻设计	24
8. 参数测量信息	14	11. PCB 设计建议.....	25
8.1. 传播延迟.....	14	12. 封装信息.....	26
8.2. 输入抗脉冲尖峰滤波器	15	13. 焊接信息.....	27
8.3. 内置有源米勒钳位.....	15	14. 编带信息.....	28
		15. 重要声明.....	29

5. 修订历史

修订版本号	修订内容	修订日期	页码
Version 1.0	N/A	2024.08.22	N/A

6. 引脚功能描述

6.1. CA-IS3213MCG 引脚功能描述

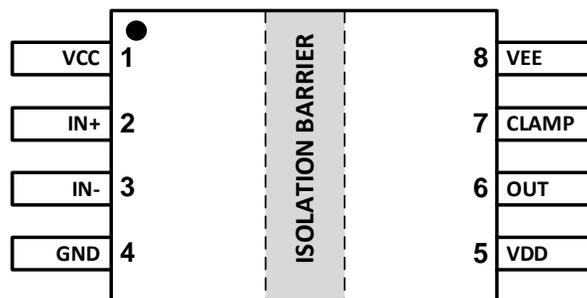


图 6-1 CA-IS3213MCG 引脚配置

表 6-1 引脚功能描述

引脚名称	引脚编号	类型 ¹	描述
VCC	1	P	3V 到 5.5V 的控制侧电源，推荐 1 μ F 的旁路电容到 GND。
IN+	2	I	同相栅极驱动控制输入，内部下拉。
IN-	3	I	反相栅极驱动控制输入，内部上拉。
GND	4	G	控制侧的输入电源和逻辑地参考。
VDD	5	P	栅极驱动电压的正电源，推荐 10 μ F 的旁路电容到 VEE，以支持额定的栅极驱动峰值拉电流功能。
OUT	6	O	栅极驱动输出。
CLAMP	7	I	内部有源米勒钳位，将此引脚直接连接到功率晶体管的栅极。
VEE	8	P	栅极驱动电压的负电源。

备注：
1. P 代表电源，G 代表地，I 代表输入，O 代表输出

6.2. CA-IS3213VCG 引脚功能描述

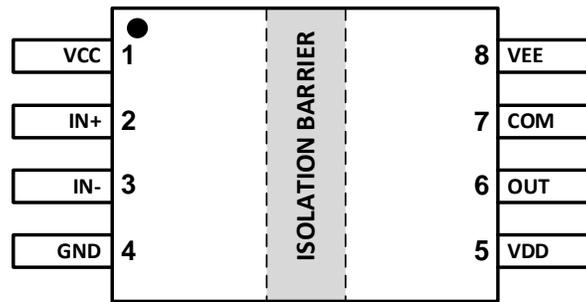


图 6-2 CA-IS3213VCG 引脚配置

表 6-2 引脚功能描述

引脚名称	引脚编号	类型 ¹	描述
VCC	1	P	3V 到 5.5V 的控制侧电源，推荐 1 μ F 的旁路电容到 GND。
IN+	2	I	同相栅极驱动控制输入，内部下拉。
IN-	3	I	反相栅极驱动控制输入，内部上拉。
GND	4	G	控制侧的输入电源和逻辑地参考。
VDD	5	P	栅极驱动电压的正电源，推荐 10 μ F 的旁路电容到 COM，以支持额定的栅极驱动峰值拉电流功能。
OUT	6	O	栅极驱动输出。
COM	7	P	驱动侧共地参考，连接到 IGBT 的发射极或者 SiC-MOSFET 的源极。
VEE	8	P	栅极驱动电压的负电源。

备注：
 1. P 代表电源，G 代表地，I 代表输入，O 代表输出

6.3. CA-IS3213SCG 引脚功能描述

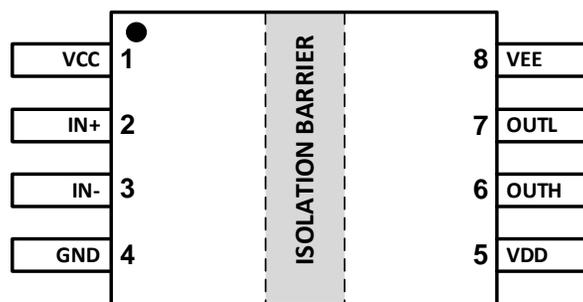


图 6-3 CA-IS3213SCG 引脚配置

表 6-3 引脚功能描述

引脚名称	引脚编号	类型 ¹	描述
VCC	1	P	3V 到 5.5V 的控制侧电源，推荐 1 μ F 的旁路电容到 GND。
IN+	2	I	同相栅极驱动控制输入，内部下拉。
IN-	3	I	反相栅极驱动控制输入，内部上拉。
GND	4	G	控制侧的输入电源和逻辑地参考。
VDD	5	P	栅极驱动电压的正电源，推荐 10 μ F 的旁路电容到 VEE，以支持额定的栅极驱动峰值拉电流功能。
OUTH	6	O	栅极驱动输出拉电流。
OUTL	7	O	栅极驱动输出灌电流。
VEE	8	P	栅极驱动电压的负电源。

备注：
1. P 代表电源，G 代表地，I 代表输入，O 代表输出

7. 产品规格

7.1. 绝对最大额定值¹

在自然通风条件下的工作温度范围内测得（除非另有说明）²

符号	参数	最小值	最大值	单位
VCC	VCC – GND	-0.3	6	V
VDD	VDD – COM	-0.3	36	V
VEE	VEE – COM	-17.5	0.3	V
V _{MAX}	VDD – VEE	-0.3	36	V
IN+, IN-	直流	GND – 0.3	VCC	V
OUTH, OUTL, CLAMP	直流	VEE – 0.3	VDD	V
T _J	结温	-40	150	°C
T _{stg}	贮存温度	-65	150	°C

备注:

- 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。
- 数值为基于 Bench 测试所得的表征值。

7.2. ESD 额定值

符号	参数	数值	单位
V _{ESD} 静电放电	人体模型（HBM），根据 ANSI/ESDA/JEDEC JS-001 规范	±3000	V
	组件充电模式（CDM），根据 JEDEC 规范 JESD22-C101，所有引脚	±2000	

7.3. 推荐工作条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

符号	参数		最小值	最大值	单位
VCC	VCC – GND		3.0	5.5	V
VDD	VDD – COM		13	33	V
V _{MAX}	VDD – VEE		-	33	V
IN+, IN-	参考 GND	输入电压逻辑高电平	0.7×VCC	VCC	V
		输入电压逻辑低电平	0	0.3×VCC	
T _A	环境温度		-40	125	°C
T _J	结温度		-40	150	°C

7.4. 热量信息

符号	热量表	SOIC8-WB	单位
R _{θJA}	结至环境的热阻	110.1	°C/W

7.5. 额定功率

符号	参数	测试条件	值	单位
P _D	输入端和输出端最大耗散功率	VCC = 5V, VDD – COM = 20V, COM – VEE = 5V, IN+/- = 5V, 150kHz、50% 占空比, C _L = 10nF, T _A = 25°C	982.5	mW
P _{D1}	最大输入耗散功率		17.5	mW
P _{D2}	最大输出耗散功率		965	mW

7.6. 隔离特性

参数		测试条件	数值	单位
			G	
CLR	外部气隙 (间隙) ¹	端子间的最短隔空距离	>8	mm
CPG	外部爬电距离 ¹	端子之间沿壳体最短距离	>8	mm
DTI	隔离距离	最小内部间隙 (内部距离)	>24	μm
CTI	相对漏电指数	DIN EN 60112 (VDE 0303-11); IEC 60112	>600	V
	材料组	依据 IEC 60664-1	I	
	IEC 60664-1 过压类别	额定市电电压 ≤ 300V _{RMS}	I-IV	
		额定市电电压 ≤ 600V _{RMS}	I-IV	
		额定市电电压 ≤ 1000V _{RMS}	I-III	
DIN V VDE V 0884-17: 2021-10²				
V _{IORM}	最大重复峰值隔离电压	交流电压 (双极)	2121	V _{PK}
V _{IOWM}	最大工作隔离电压	交流电压; 时间相关的介质击穿 (TDDb) 测试	1500	V _{RMS}
		直流电压	2121	V _{DC}
V _{IOTM}	最大瞬态隔离电压	V _{TEST} = V _{IOTM} , t = 60s (认证)	8000	V _{PK}
		V _{TEST} = 1.2 × V _{IOTM} , t = 1s (100% 量产测试)	9600	
V _{IOSM}	最大浪涌隔离电压 ³	测试方法 依据 IEC 62368-1, 1.2/50μs 波形, V _{TEST} = 1.6 × V _{IOSM} = 12800V _{PK}	8000	V _{PK}
Q _{pd}	表征电荷 ⁴	方法 a, 输入/输出安全测试子类 2/3 后, V _{ini} = V _{IOTM} , t _{ini} = 60s; V _{pd(m)} = 1.2 × V _{IORM} = 2545V _{PK} , t _m = 10s	≤5	pC
		方法 a, 环境测试子类 1 后, V _{ini} = V _{IOTM} , t _{ini} = 60s; V _{pd(m)} = 1.6 × V _{IORM} = 3394V _{PK} , t _m = 10s	≤5	
		方法 b1, 常规测试 (100% 量产测试) 和前期预处理 (抽样测试) V _{ini} = V _{IOTM} , t _{ini} = 1s; V _{pd(m)} = 1.875 × V _{IORM} = 3977V _{PK} , t _m = 1s	≤5	
C _{IO}	电容, 输入到输出 ⁵	V _{IO} = 0.5 × sin(2πft), f = 1MHz	~1	pF
R _{IO}	绝缘电阻, 输入到输出 ⁵	V _{IO} = 500V, T _A = 25°C	>10 ¹²	Ω
		V _{IO} = 500V, 100°C ≤ T _A ≤ 125°C	>10 ¹¹	
		V _{IO} = 500 V at T _S = 150°C	>10 ⁹	
	污染度		2	
	气候类别		40/125/21	
UL 1577				
V _{ISO}	最大隔离电压	V _{TEST} = V _{ISO} = 5700V _{RMS} , t = 60s (认证), V _{TEST} = 1.2 × V _{ISO} = 6840V _{RMS} , t = 1s (100% 量产测试)	5700	V _{RMS}
备注: 1. 根据应用的特定设备隔离标准应用爬电距离和间隙要求。注意保持电路板设计的爬电距离和间隙距离, 以确保印刷电路板上隔离器的安装焊盘不会缩短该距离。在某些情况下印刷电路板上的爬电距离和间隙相等。在印刷电路板上插入凹槽的技术有助于提高这些指标。 2. 该标准仅适用于安全等级内的安全电气绝缘。应通过适当的保护电路确保符合安全等级。 3. 测试在空气或油中进行, 以确定隔离屏障的固有浪涌抗扰度。 4. 表征电荷是由局部放电引起的放电电荷 (pd)。 5. 栅两侧的所有引脚连接在一起, 形成双端子器件。				

7.7. 安全相关认证

VDE	UL	CQC
根据 DIN EN IEC 60747-17 (VDE 0884-17):2021-10; EN IEC 60747-17:2020+AC: 2021 认证	UL1577 器件程序认证	根据 GB4943.1-2022 认证
增强绝缘:(SOIC8-WB) 最大瞬态隔离电压:8000V _{PK} 最大重复峰值隔离电压: 2121V _{PK} 最大浪涌隔离电压: 8000V _{PK}	保护电压: SOIC8-WB: 5700 V _{RMS}	加强绝缘, 最大工作电压 1500 V _{RMS} (仅适用于海拔 5000 米及以下)
证书编号: 40057278	证书编号: 认证中	证书编号: CQC24001434134

7.8. 安全限值

符号	参数	测试条件	最小值	典型值	最大值	单位
I _S	安全输入、输出或供电电流	R _{θJA} = 110.1°C/W, VDD = 15V, VEE = -5V, T _J = 150°C, T _A = 25°C			56	mA
		R _{θJA} = 110.1°C/W, VDD = 20V, VEE = -5V, T _J = 150°C, T _A = 25°C			45	
P _S	安全输入、输出或总功耗	R _{θJA} = 110.1°C/W, VDD = 20V, VEE = -5V, T _J = 150°C, T _A = 25°C			1135	mW
T _S	最大安全工作温度				150	°C

7.9. 电气特性

除非有额外说明，本表格数据均为建议工作条件（VCC = 3.3V 或 5V，VCC 到 GND 之间有 1μF 电容，VDD - COM = 20V、18V 或 15V，COM - VEE = 0V、5V、8V 或 15V，C_L = 100pF，-40°C < T_J < 150°C）下的测试结果。

符号	参数	测试条件	最小值	典型值	最大值	单位
VCC UVLO 阈值和延迟						
V _{VCC_ON}	VCC - GND 欠压锁定		2.55	2.7	2.85	V
V _{VCC_OFF}			2.35	2.5	2.65	
V _{VCC_HYS}				0.2		
t _{VCCFIL}	VCC UVLO 抗尖峰时间			5		μs
t _{VCC+ to OUT}	VCC UVLO+到输出上升延时	IN+ = VCC, IN- = GND		30	70	
t _{VCC- to OUT}	VCC UVLO-到输出下降延时			7	15	
VDD UVLO 阈值和延迟						
V _{VDD_ON}	VDD - VEE (COM)欠压锁定		11.0	12.0	13.0	V
V _{VDD_OFF}			10.0	11.0	12.0	
V _{VDD_HYS}				1.0		
t _{VDDFIL}	VDD UVLO 抗尖峰脉冲时间			5		μs
t _{VDD+ to OUT}	VDD UVLO+到输出上升延时	IN+ = VCC, IN- = GND		7	15	
t _{VDD- to OUT}	VDD UVLO-到输出下降延时			7	15	
VCC, VDD, VEE 静态电流						
I _{VCCQ}	VCC 静态电流	OUT (H) = High	1.4	2.3	3.5	mA
		OUT (L) = Low	0.8	1.5	2.3	
I _{VDDQ}	VDD 静态电流	OUT = High/Low	2.5	3.7	5.3	
逻辑输入 IN+, IN-						
V _{INH}	输入电压逻辑高电平	VCC = 3.3V		1.85	2.31	V
V _{INL}	输入电压逻辑低电平		0.99	1.52		V
V _{INHYS}	输入阈值迟滞			0.33		V
I _{IH}	高电平输入漏电流	V _{IN} = VCC, VCC = 5V	70	90	110	μA
I _{IL}	低电平输入漏电流	V _{IN} = GND, VCC = 5V	-110	-90	-70	μA
R _{IND}	输入引脚下拉电阻	参考 GND	42	55	68	kΩ
R _{INU}	输入引脚上拉电阻	参考 VCC	42	55	68	kΩ
t _{INFIL}	IN+, IN-抗尖峰脉冲（开启和关闭）过滤时间	f = 50kHz, 图 8-3, 图 8-4		40		ns
栅极驱动						
I _{OUTH}	峰值拉电流	C _{VDD} = 10μF, C _L = 0.18μF, f _S = 1kHz	10	15		A
I _{OUTL}	峰值灌电流	C _{VEE} = 10μF, C _L = 0.18μF, f _S = 1kHz	10	15		A
R _{OUTH}	上拉电阻	I _{OUT} = -0.1A		1.6		Ω
R _{OUTL}	下拉电阻	I _{OUT} = 0.1A		0.23		Ω
V _{OUTH}	输出高电平	I _{OUT} = -0.2A, VDD = 18V		17.6		V
V _{OUTL}	输出低电平	I _{OUT} = 0.2A		50		mV
主动下拉						
V _{OUTPD}	主动下拉 OUTL	I _{OUTL} = 1A, VDD = OPEN, VEE = COM		2.0		V
内置有源米勒钳位（仅 CA-IS3213M）						
V _{CLAMPTH}	米勒钳位阈值电压	参考 VEE	1.5	2.0	2.5	V
V _{CLAMP}	输出低钳位电压	I _{CLAMP} = 1A		VEE + 0.4		V
I _{CLAMP}	输出低钳位峰值电流	V _{CLAMP} = VEE + 4V		4		A
R _{CLAMP}	米勒钳位下拉电阻	I _{CLAMP} = 0.2A		0.4		Ω
t _{DCLAMP}	米勒钳位开通延迟时间	C _L = 1.8nF, 图 8-5		20		ns
短路钳位						
V _{CLP - OUT}	V _{OUT(H)} - VDD	OUT = High, I _{OUT(H)} = 500mA, t _{CLP} = 10μs		0.73		V
V _{CLP - CLAMP}	V _{CLAMP} - VDD	OUT = High, I _{CLAMP} = 500mA, t _{CLP} = 10μs		1.3		V

7.10. 开关特性

除非有额外说明，本表格数据均为建议工作条件（VCC = 3.3V 或 5V，VCC 到 GND 之间有 1 μ F 电容，VDD - COM = 20V、18V 或 15V，COM - VEE = 0V、5V、8V 或 15V，C_L = 100pF，-40°C < T_J < 150°C）下的测试结果^{1,2}。

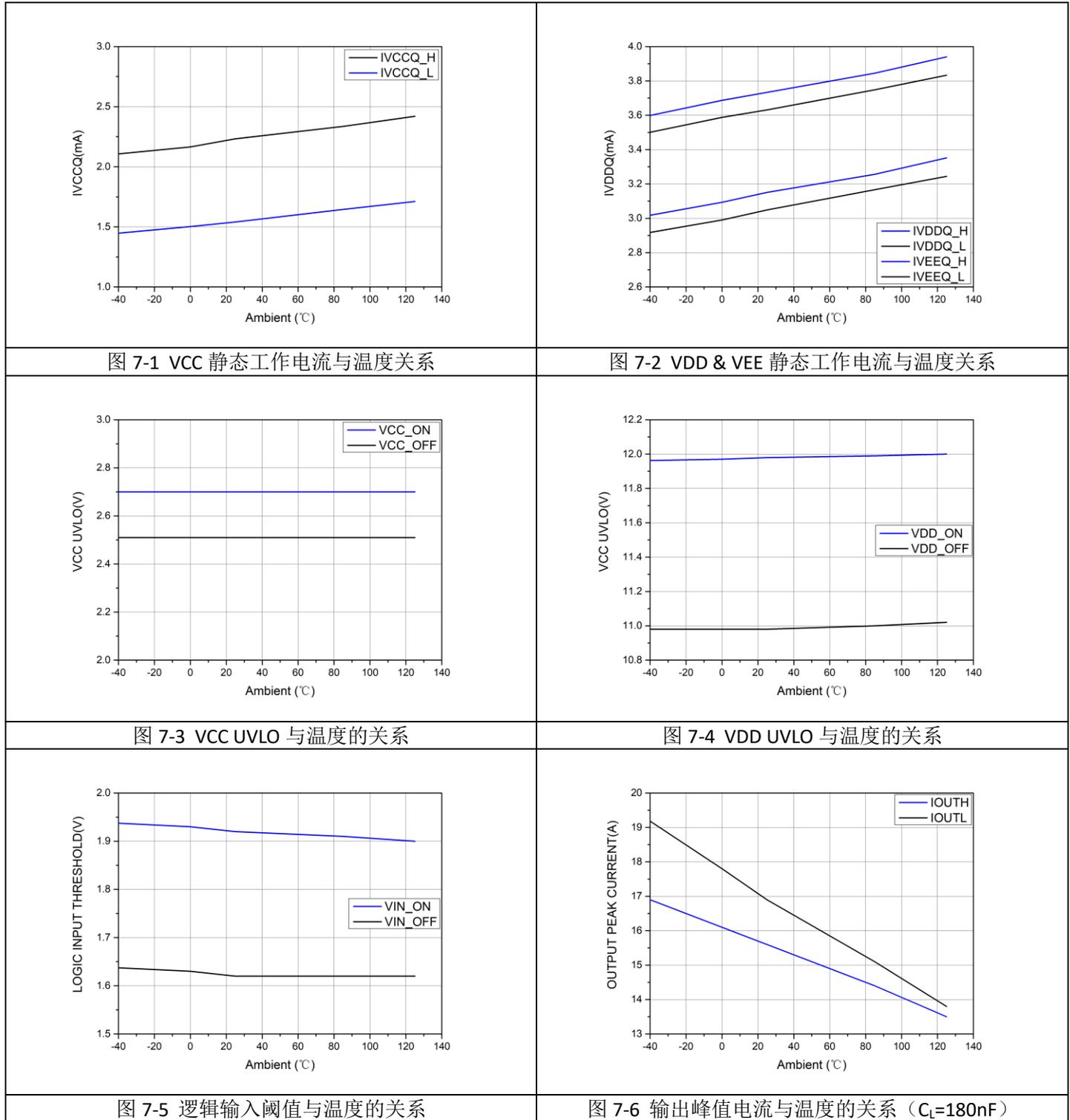
符号	参数	测试条件	最小值	典型值	最大值	单位
t _{PDHL}	传播延迟时间 - 从高到低	C _L = 100pF, 图 8-1, 图 8-2	60	90	130	ns
t _{PDLH}	传播延迟时间 - 从低到高		60	90	130	
PWD	脉冲宽度失真 t _{PDHL} - t _{PDLH}	C _L = 100pF, 图 8-1, 图 8-2			30	
t _{sk-pp}	器件与器件之间的延时偏移	上升或下降传播延迟			30	
t _r	驱动上升时间	C _L = 10nF, 图 8-1		30		
t _f	驱动下降时间	C _L = 10nF, 图 8-1		30		
f _{MAX}	最大开关频率				1	MHz
CMTI	共模瞬态抗扰度	IN+ = High, IN- = Low, 图 8-8、图 8-9 和图 8-10	150			kV/ μ s
		IN+ = Low, IN- = Low, 图 8-8、图 8-9 和图 8-10	150			kV/ μ s

备注:

1. 电流流入为正，流出为负。
2. 除非另有说明，否则所有电压均以 COM 为参考。

7.11. 典型特性

除非有额外说明，本表格数据均为建议工作条件（VCC = 3.3V 或 5V，VCC 到 GND 之间有 1μF 电容，VDD - COM = 20V、18V 或 15V，COM - VEE = 0V、5V、8V 或 15V，C_L = 100pF，-40°C < T_J < 150°C）下的测试结果^{1,2}。



续上表:

除非有额外说明, 下列曲线均为建议工作条件 ($V_{CC}=3.3V$ 或 $5V$, V_{CC} 到 GND 之间有 $1\mu F$ 电容, $V_{DD}-COM=20V$ 、 $18V$ 或 $15V$, $COM-VEE=0V$ 、 $5V$ 、 $8V$ 或 $15V$, $C_L=100pF$, $-40^{\circ}C < T_J < 150^{\circ}C$) 下的测试结果^{1,2}。

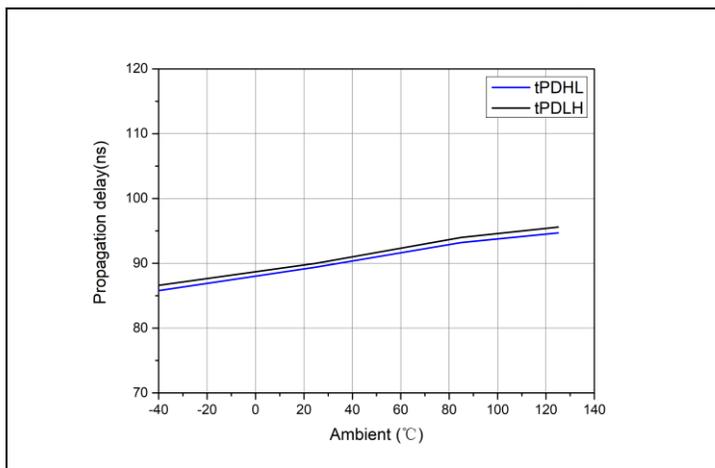


图 7-7 传输延时与温度关系

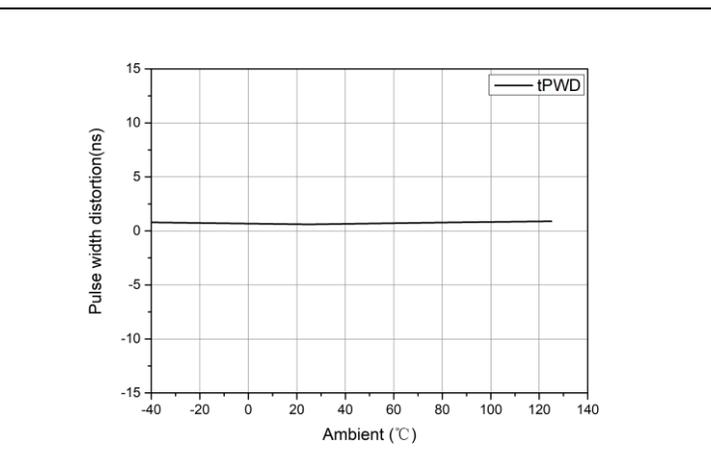


图 7-8 脉宽失真与温度关系

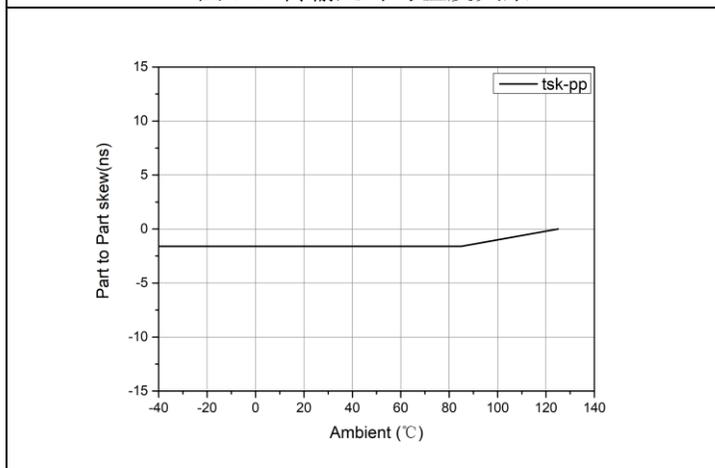


图 7-9 延时匹配与温度的关系

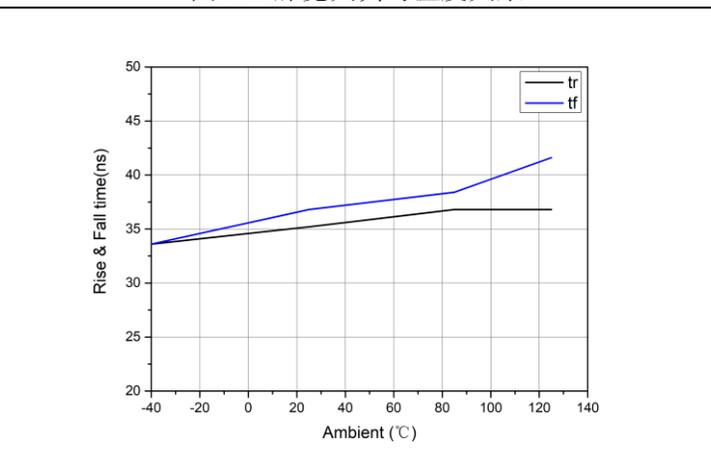
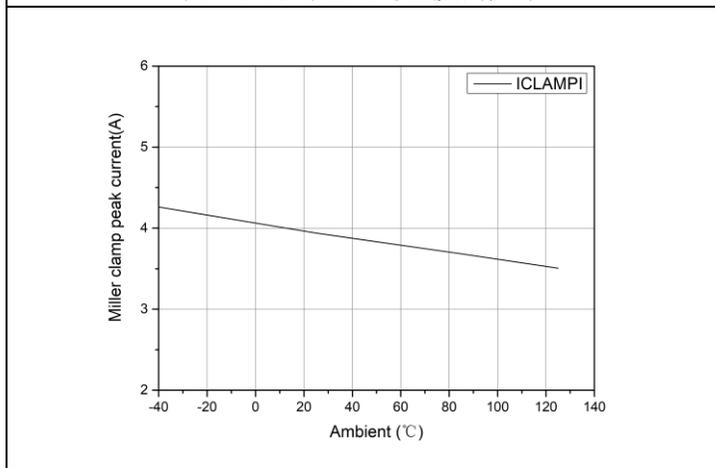

 图 7-10 上升&下降时间与温度的关系 ($C_L=10nF$)


图 7-11 米勒钳位峰值电流与温度的关系

8. 参数测量信息

8.1. 传播延迟

图 8-1 显示了同相配置的传播延迟测量。图 8-2 显示了反相配置的传播延迟测量。

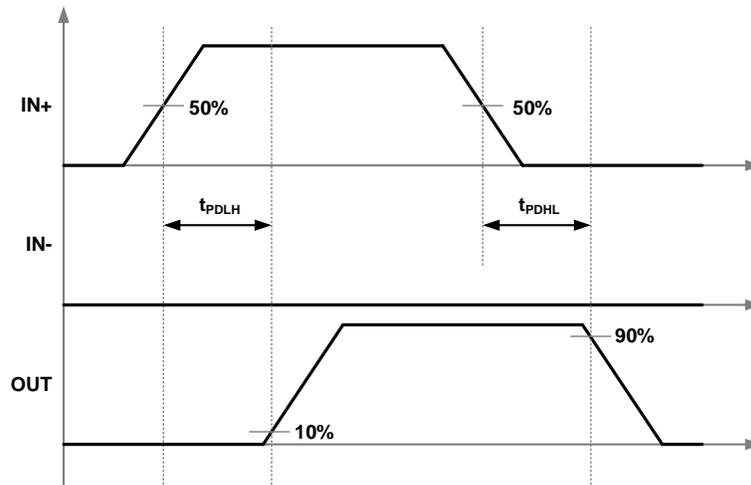


图 8-1 同相逻辑传播延迟测量

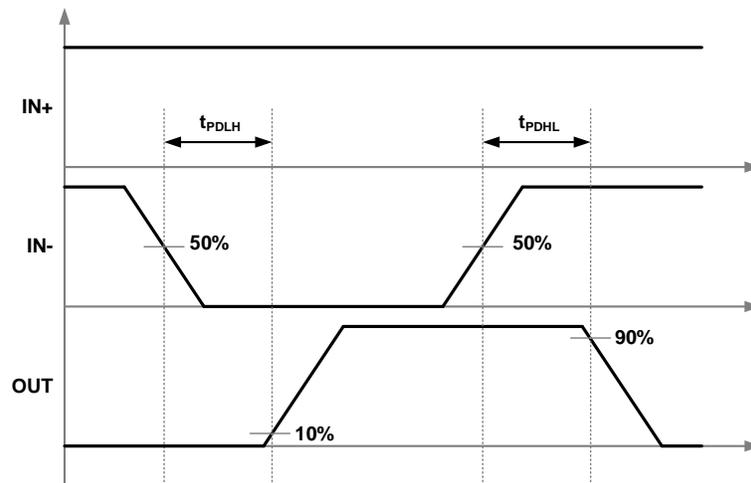


图 8-2 反相逻辑传播延迟测量

8.2. 输入抗脉冲尖峰滤波器

为了提高栅极驱动器在输入引脚（即 IN+、IN-）上抑制噪声的能力，器件设计了 40ns 输入抗脉冲尖峰滤波器来过滤掉瞬态波动，以确保不产生错误输出。当 IN+ 或 IN- 的 PWM 脉冲小于输入抗脉冲尖峰滤波器宽度 T_{INFIL} 时，OUT 驱动信号上将没有响应。图 8-3 显示 IN+ 引脚 ON 和 OFF 时抗脉冲尖峰滤波效果。图 8-4 显示 IN- 引脚 ON 和 OFF 时抗脉冲尖峰滤波效果。

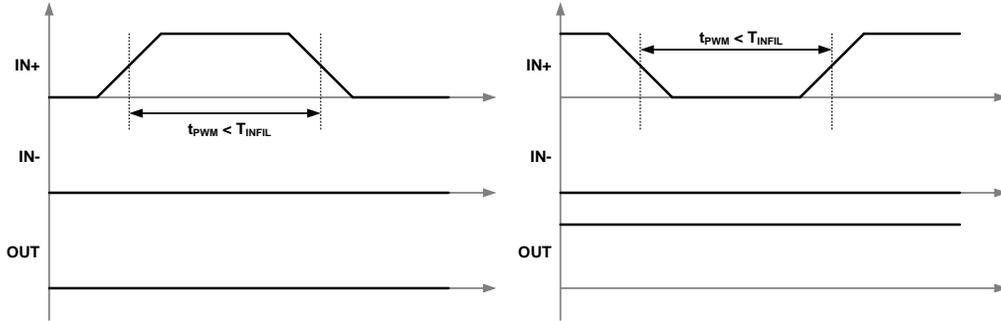


图 8-3 IN+ ON/OFF 滤波器

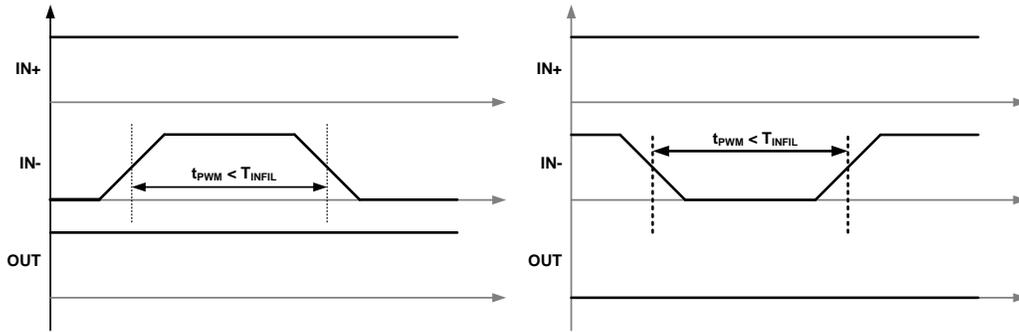


图 8-4 IN- ON/OFF 滤波器

8.3. 内置有源米勒钳位

对于单电源供电，或双电源供电且负电源电压较低的栅极驱动器应用，CA-IS3213M 集成有源米勒钳位功能可以帮助添加一个额外的低阻抗路径分流米勒电流，并防止高 dV/dt 通过米勒电容误开通功率管。图 8-5 显示了器件内部米勒钳位功能的时序图。

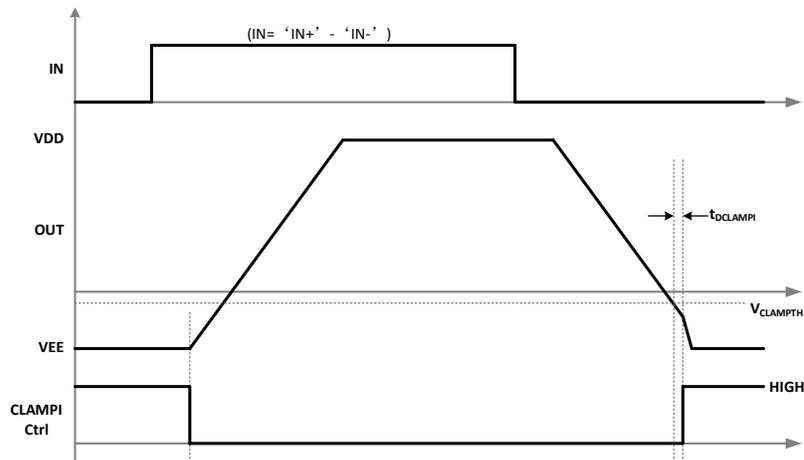


图 8-5 内置有源米勒钳位功能的时序图

8.4. 欠压锁定 (UVLO)

UVLO 是设计用于在 VCC(控制侧电源和)和 VDD(驱动侧电源)发生电源故障时保护系统的关键保护功能之一。

8.4.1. VCC UVLO

图 8-6 为 UVLO 开/关阈值、抗尖峰脉冲滤波器、响应时间时序图。

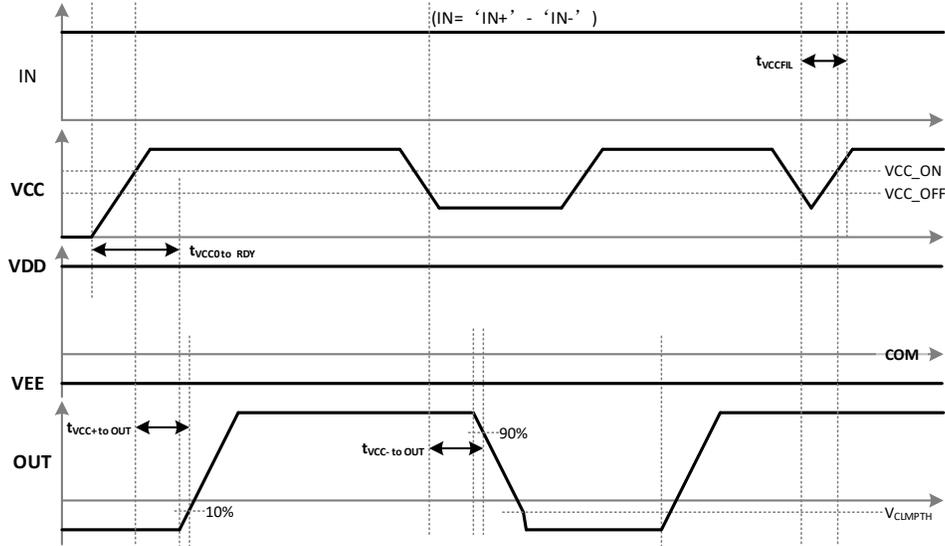


图 8-6 VCC UVLO 保护时序图

8.4.2. VDD UVLO

图 8-7 为 UVLO 开/关阈值、抗尖峰脉冲滤波器、响应时间时序图。

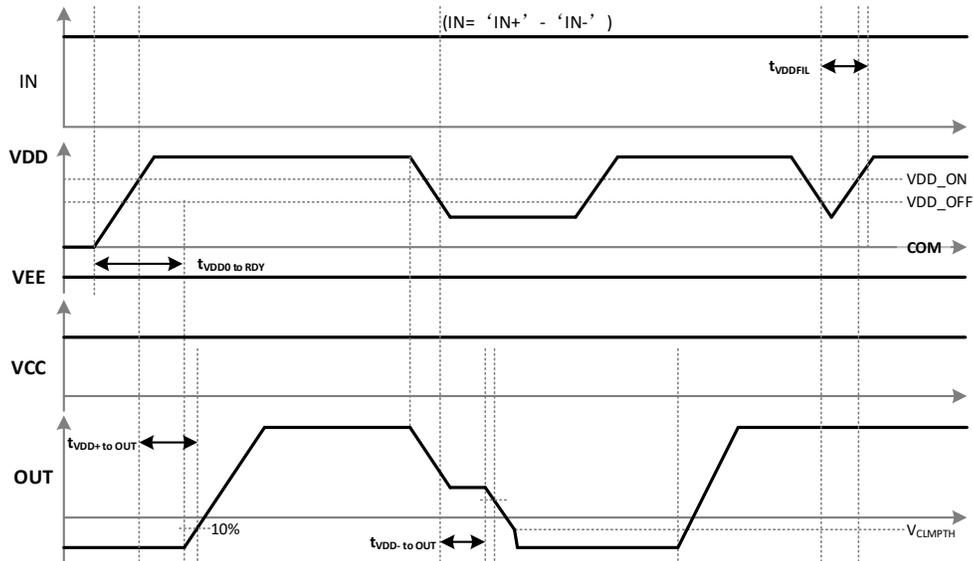


图 8-7 VDD UVLO 保护时序图

8.5. CMTI 测试

图 8-8、图 8-9 和图 8-10 显示了 CA-IS3213 系列产品的 CMTI 测试方案。

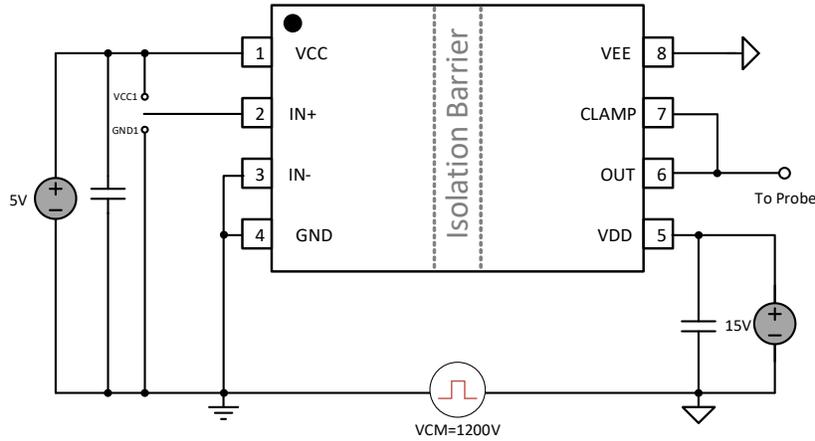


图 8-8 CMTI 测试方案 (CA-IS3213MCG)

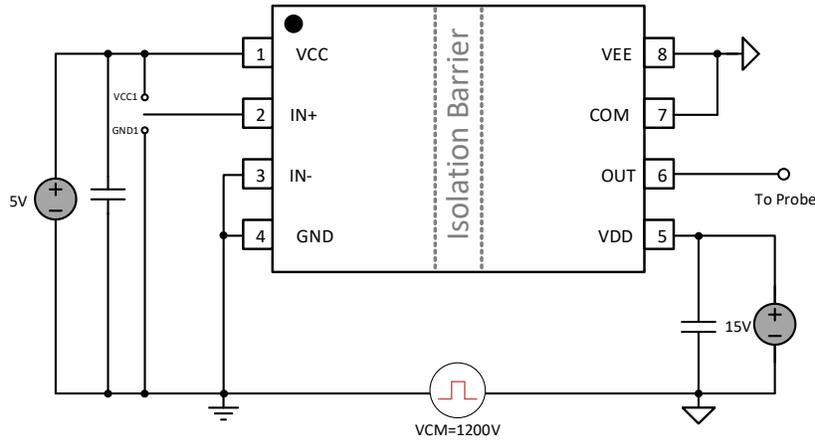


图 8-9 CMTI 测试方案 (CA-IS3213VCG)

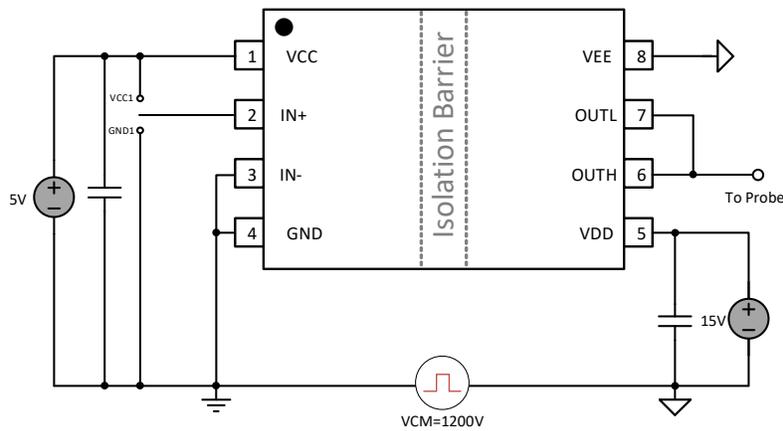


图 8-10 CMTI 测试方案 (CA-IS3213SCG)

9. 详细说明

9.1. 概述

CA-IS3213 是一系列基于电容隔离的单通道栅极驱动器，可用于驱动 SiC、IGBT 和 MOSFET 器件。器件具有出色的动态性能和高可靠性，同时具有高达±15A 峰值的拉/灌电流能力。器件控制和驱动侧电源 UVLO，同时针对 SiC 和 IGBT 开关行为进行了优化，并提高了可靠性。此外，CA-IS3213MCG 内置 4A 峰值电流有源米勒钳位；CA-IS3213VCG 外置 COM 脚，便于隔离驱动侧正负电源供电；CA-IS3213SCG 的 OUTH 和 OUTL 分离输出配置。

全系列采用 SOIC8-WB 宽体封装，爬电距离和间隙距离大于 8mm。

9.2. 功能框图

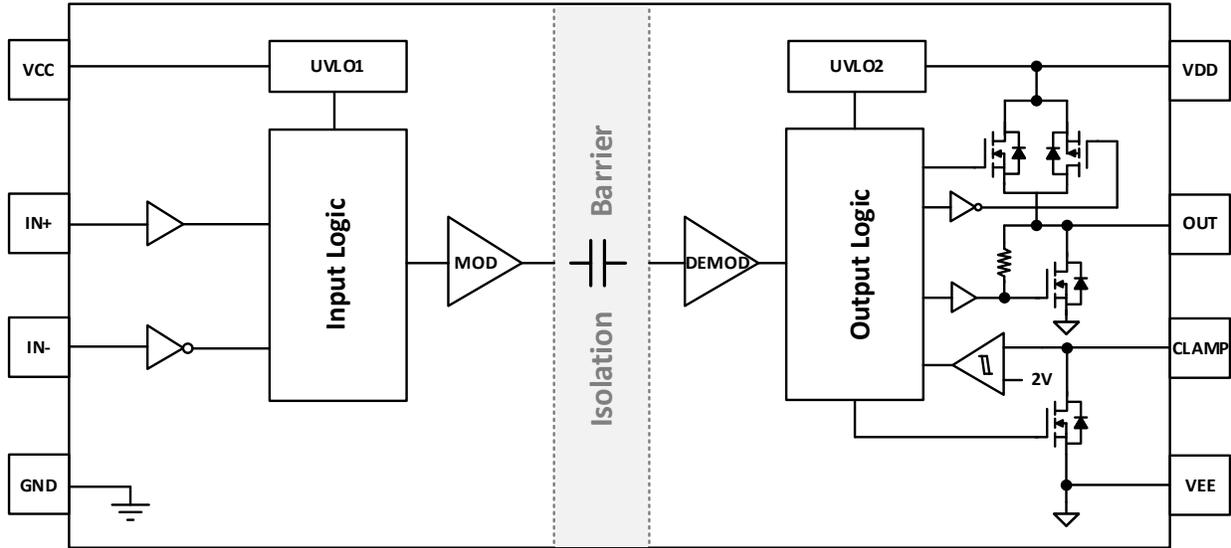


图 9-1 CA-IS3213MCG 功能框图

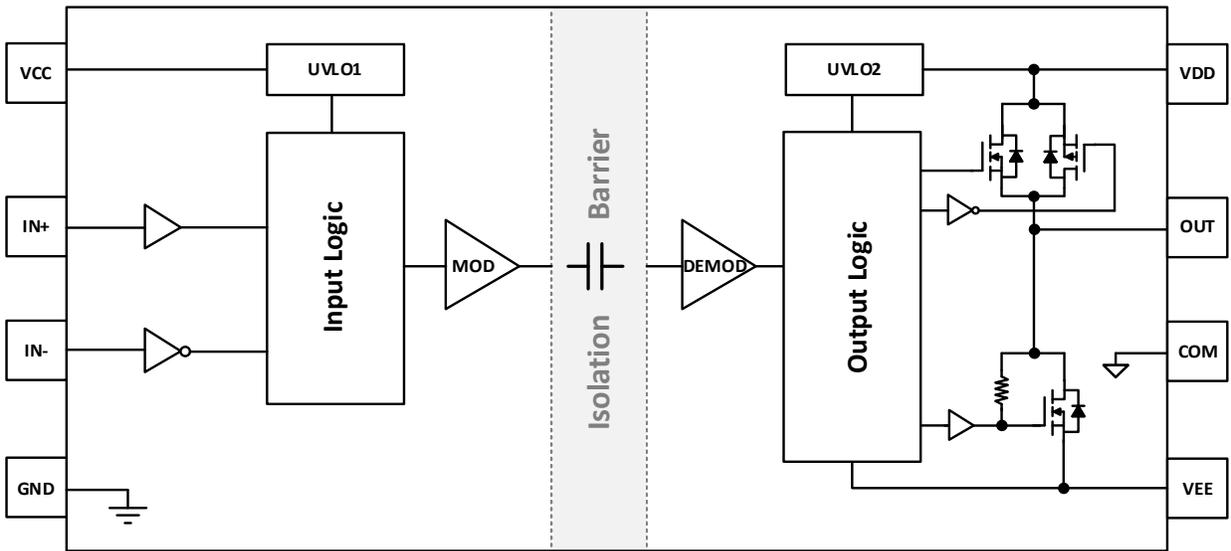


图 9-2 CA-IS3213VCG 功能框图

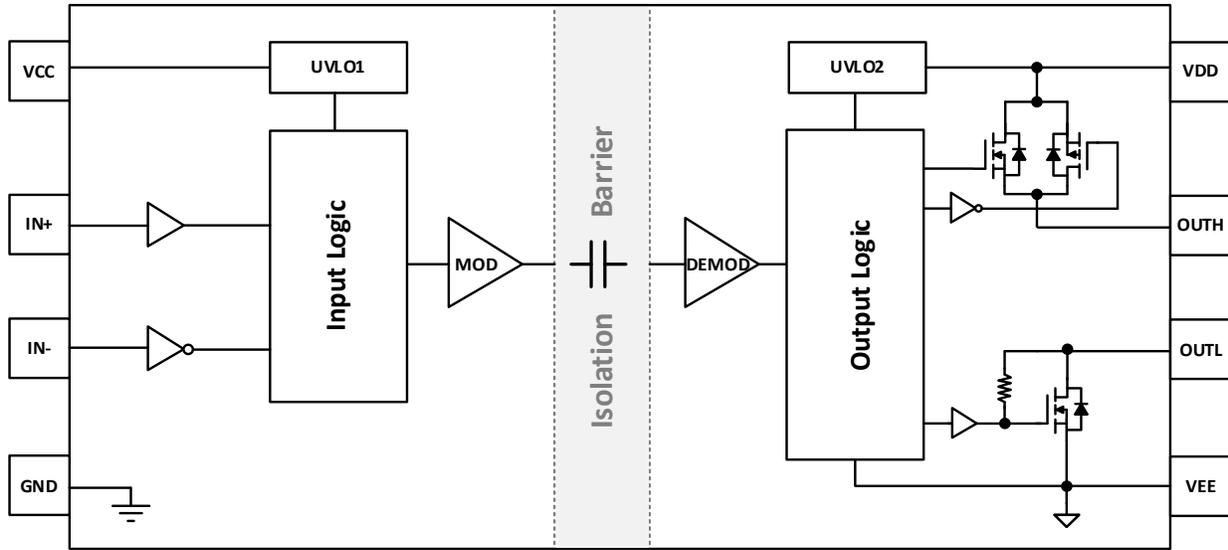


图 9-3 CA-IS3213SCG 功能框图

9.3. 特性描述

9.3.1. 电源

CA-IS3213 的控制侧电源 VCC 可支持 3V 到 5.5V 的宽电压范围。驱动侧支持单极性电源和双极性电源，VDD 到 VEE 支持 13V 到 33V 的宽电压范围。在 SiC 和 IGBT 应用中，由于快速的 dV/dt 和米勒效应，可能导致功率管误导通现象，此时负压关断功率器件可以提高可靠性。故负电压电源供电也尤其重要。

9.3.2. 驱动级

CA-IS3213 具有 $\pm 15A$ 峰值驱动能力，能够直接驱动 SiC MOSFET 模块、IGBT 模块或并联的分立器件，无需额外的缓冲级。当输入引脚处于悬空状态时，OUT 或者 OUTH/OUTL 被拉低，防止功率管误开通。驱动器的输出分离配置可以灵活设置驱动电阻，如图 9-4 和图 9-5 中所示。该驱动器内部通过 PMOS 和 NMOS 组合的混合上拉结构以及 NMOS 的下拉结构来实现轨对轨输出。上拉 NMOS 与下拉 NMOS 结构相同，因此导通电阻 R_{NMOS} 与 R_{OL} 也相同。上拉 NMOS 在功率器件开启过程中的米勒区域提供快速的峰值电流，直到 OUTH 电压与 VDD 电压压差低于 3V 后，上拉 NMOS 停止工作，上拉 PMOS 将 OUTH 电压拉到 VDD。在开启瞬态混合上拉结构可以提供最高的峰值拉电流能力，从而缩短了对功率管输入电容的充电时间，减少导通损耗。

驱动器的下拉结构仅由单个下拉 NMOS 实现。N 沟道 MOSFET 的 R_{OL} 详见电气特性中的参数，该 MOSFET 可确保将 OUTL 电压拉低至 VEE。低下拉阻抗不仅实现大的灌电流能力，减少关闭时间，还有助于提高米勒效应下的抗干扰度。

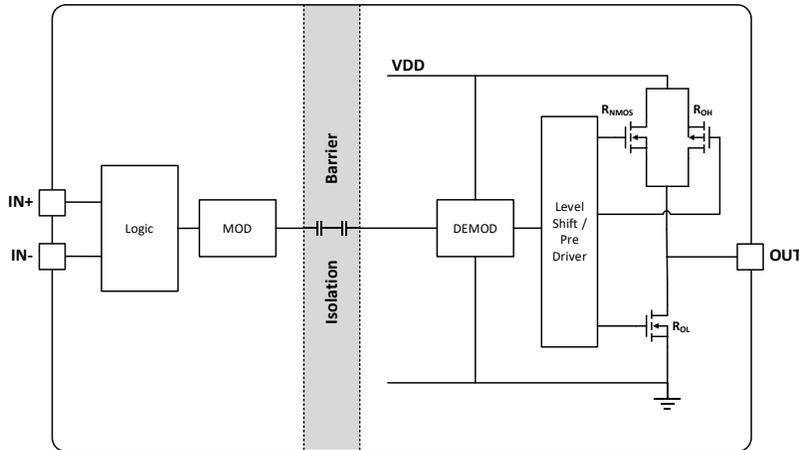


图 9-4 栅极驱动输出级(CA-IS3213MCG)

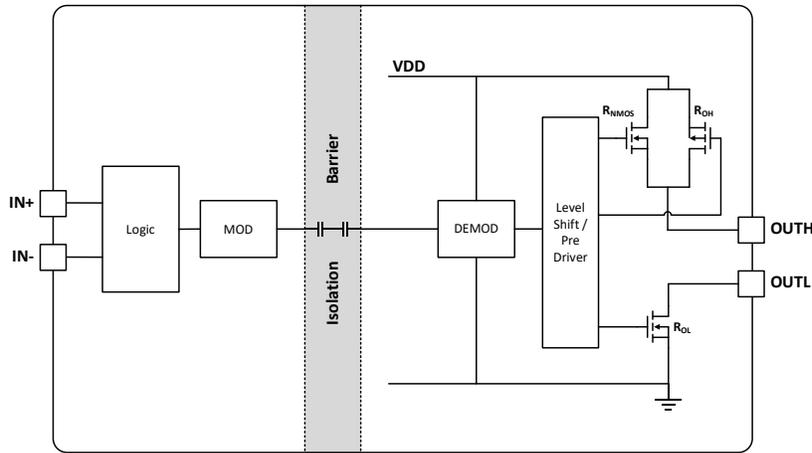


图 9-5 栅极驱动输出级(CA-IS3213SCG)

9.3.3. VCC 和 VDD 欠压锁定 (UVLO)

CA-IS3213 实现了控制侧电源 VCC 和驱动侧电源 VDD 的内部 UVLO 保护功能。当电源电压低于阈值电压时，驱动输出保持为低。只有当 VCC 和 VDD 都高于 UVLO 阈值状态时，输出才可以变高。UVLO 保护功能既降低了驱动自身在低供电电压条件下的功耗，又提高了功率级的效率。VDD 的 UVLO 阈值电压为 12V，具有 1V 的迟滞。

CA-IS3213 的 VCC 和 VDD 均内置了抗尖峰脉冲滤波器，当电源打开或关闭瞬间，电源电压可能突然短暂的下降，该滤波器可以有效的滤除一些电源噪声干扰，防止芯片的误动作。

图 8-6 和图 8-7 显示了 VCC 和 VDD 的 UVLO 功能时序图。

9.3.4. 主动下拉

CA-IS3213 具有主动下拉功能，以确保 VDD 开路时，OUT(OUTL)引脚钳位到 VEE 可防止器件误开通。

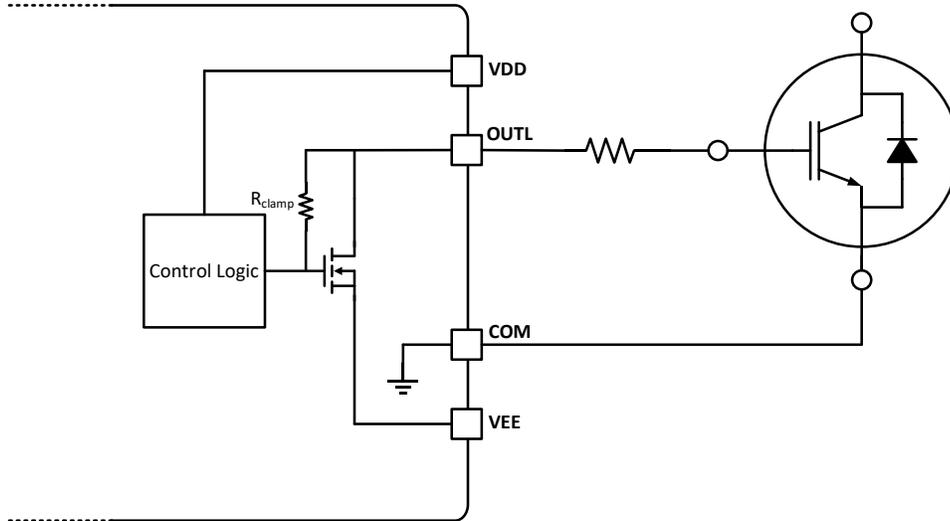


图 9-6 主动下拉

9.3.5. 短路钳位

如图 9-7 所示，当功率器件发生短路时，米勒电容可能导致电流灌到 OUTH/OUTL/CLAMP 引脚，高 dV/dt 可能拉高 OUTH/OUTL/CLAMP 电压。CA-IS3213 的短路钳位功能可将 OUTH/OUTL/CLAMP 引脚电压钳位到略高于 VDD 的二极管电压，从而保护功率器件免受栅极-源极或栅极-射极过电压击穿。此功能由 OUTH/OUTL/CLAMP 到 VDD 的内部二极管实现。

10. 应用信息

10.1. 典型应用

CA-IS3213 具有驱动能力强、隔离等级高、CMTI 优异、高可靠性等特点，在电机驱动器、光伏逆变器、储能变流器、充电桩功率模块、工业电源等领域得到广泛应用。

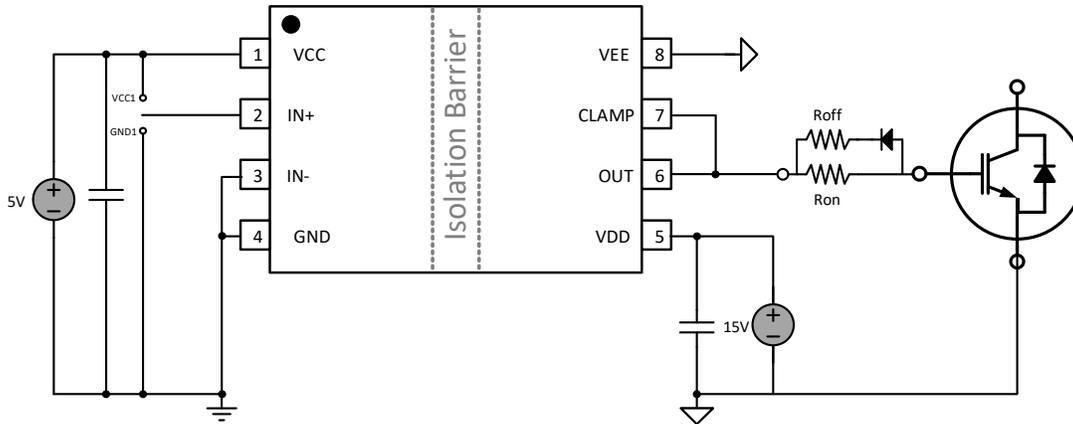


图 10-1 CA-IS3213M 典型应用

10.2. 电源设计

在 OUT 开关瞬间，峰值拉和灌电流由 VDD 和 VEE 电源提供。为了确保电源稳定以及提供±15A 峰值驱动能力，推荐在 VDD 至 COM 和 VEE 至 COM 使用 10μF/50V 的去耦电容。控制侧的 VCC 至 GND 之间推荐 1μF 去耦电容。同时，建议每个电源使用额外的 0.1μF 旁路电容以过滤高频噪声。推荐电容必须选用低 ESR 和 ESL 以避免高频噪声，并且应尽可能靠近 VCC、VDD 和 VEE 引脚，以防止 PCB 布局引起系统寄生耦合噪声。

10.3. 输入滤波器

CA-IS3213 在 IN+、IN- 引脚内建 40ns 抗尖峰脉冲滤波器，任何小于 40ns（典型值）的信号都可以从输入引脚中被过滤掉。对于嘈杂的电机驱动或牵引逆变器系统，可以在外部添加额外的 RC 低通滤波器到输入引脚中，可有效提高噪声免疫力并提高信号完整性。不使用时，IN+、IN- 引脚不应悬空。如果仅使用 IN+ 用于输出配置的同相输入控制，则 IN- 应短接到 GND。低通滤波器的目的是过滤掉 PCB 走线寄生产生的高频噪声。在选择低通滤波电阻和电容时，应根据系统要求考虑噪声消隐效果和延迟时间。

10.4. PWM 内部互锁 IN+和 IN-

CA-IS3213 的 IN+ 和 IN- 引脚内部具有 PWM 互锁功能，用于防止同相位桥击穿问题。如表 9-1 所示，当 IN+ 和 IN- 均为逻辑高时，驱动输出为逻辑低。如图 10-2 所示，PWMA 是到高边开关的 PWM 信号，PWMB 是到低边开关的 PWM 信号。对于高边栅极驱动，PWMA 信号被赋予 IN+ 引脚，而 PWMB 信号则给予 IN- 引脚；对于低边栅极驱动，PWMB 信号被赋予 IN+ 引脚，而 PWMA 信号则给予 IN- 引脚。当 PWMA 和 PWMB 信号都为高时，两个栅极驱动的输出都为低，以防止高边开关和低边开关同时导通。

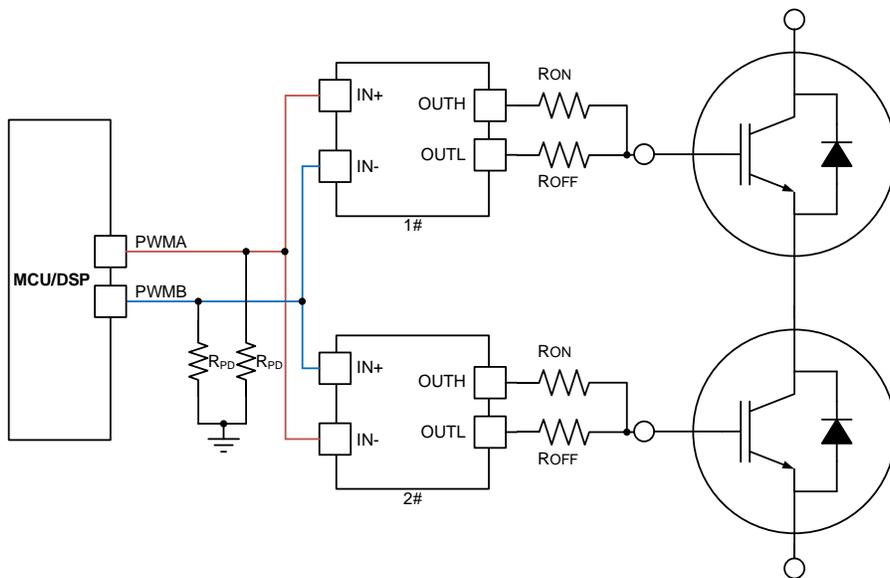


图 10-2 基于 CA-IS3213 的半桥 PWM 互锁结构

10.5. 栅极驱动电阻设计

CA-IS3213 将输出分离为 OUTH 和 OUTL，从而能够独立控制打开和关闭开关速度。外部栅极驱动电阻对功率管设计尤为关键，当功率管开关时，寄生电感、寄生电容、高 dv/dt 和 di/dt 以及二极管反向恢复时间都可能致功率管的不良行为或 EMI 问题。栅极驱动电阻主要对以下三个方面产生影响：驱动电流、开关损耗、上升和下降时间。因此，设计者在实际选取驱动电阻时，需要平衡方案的综合性能参数。峰值拉和灌电流的计算方式如下：

I_{OUTH} 峰值拉电流估算公式：

$$I_{OUTH} = \min \left[15A, \frac{VDD - VEE}{(R_{OH_EFF} + R_{GON} + R_{GFET_int})} \right]$$

I_{OUTL} 峰值灌电流估算公式：

$$I_{OUTL} = \min \left[15A, \frac{VDD - VEE}{(R_{OUTL} + R_{GOFF} + R_{GFET_int})} \right]$$

其中，

- R_{GON} 是外部栅极导通电阻
- R_{GOFF} 是外部栅极关断电阻
- R_{OH_EFF} 约 $2 \times R_{OUTL} \approx 0.7\Omega$ 。
- R_{OUTL} 约 0.23Ω 。
- R_{GFET_int} 是功率管内部栅极电阻（需查找功率管数据表）

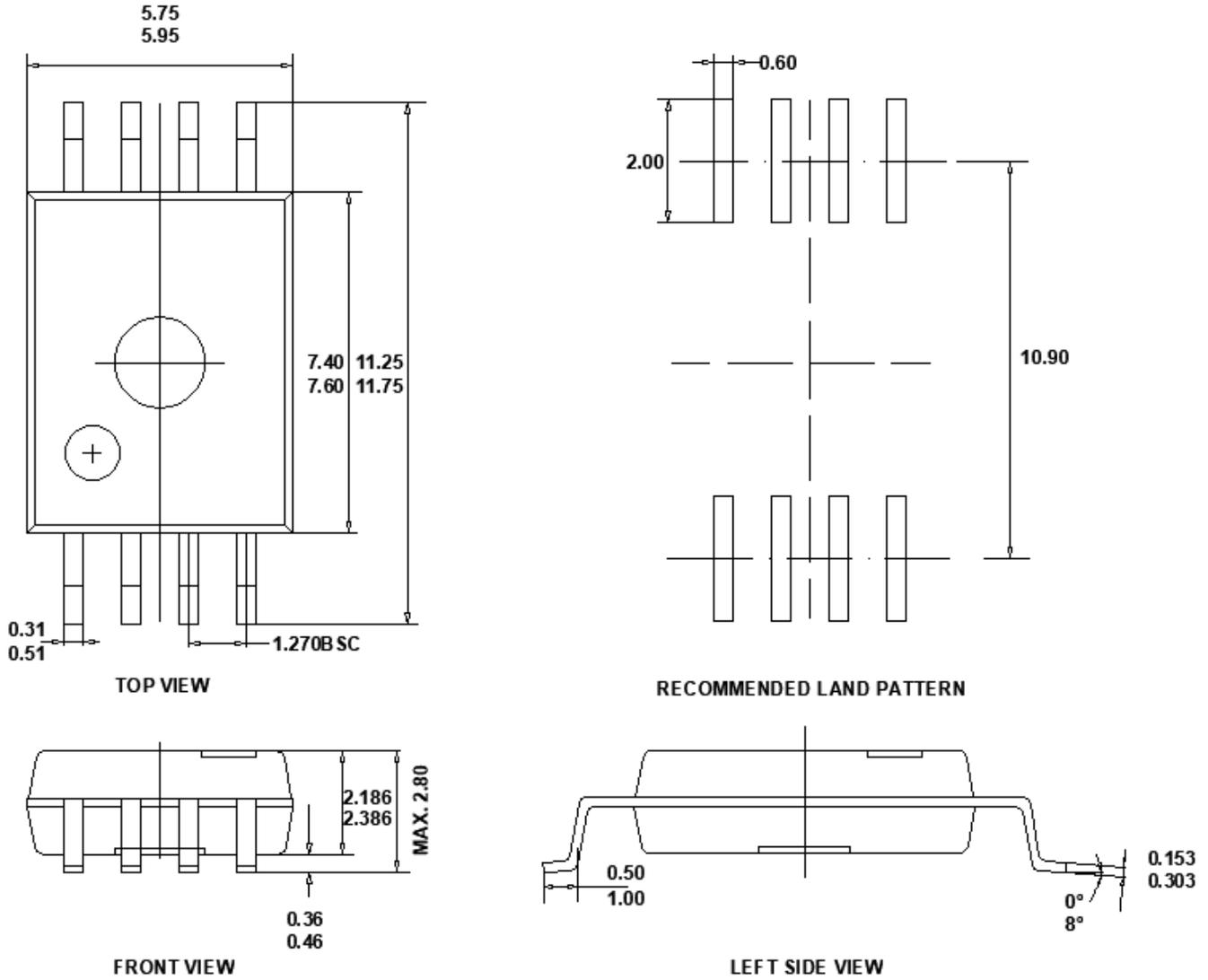
11. PCB 设计建议

由于 CA-IS3213 的驱动能力强大，在 PCB 设计中必须慎重考虑，以下是一些要点：

- 驱动器应尽可能靠近功率器件，以减小 PCB 走线带来的寄生电感。
- 控制侧和驱动侧电源的去耦电容应尽可能靠近电源引脚。每次开关瞬间产生的峰值电流可导致高 di/dt 和 PCB 导线寄生电感上的电压峰值。
- 驱动器 COM 引脚连接到 SiC MOSFET 源极或 IGBT 发射极应采用开尔文连接。如果功率器件没有分离的开尔文源极或发射极，则 COM 引脚应尽可能接近功率器件封装的源极或发射极连接，以便将栅极环路与大功率开关环路分开。
- 在控制侧使用地线层屏蔽输入信号。输入信号可能因驱动侧开关瞬间产生的高频噪声而失真。地线层为返回电流提供低电感滤波器。
- 如果栅极驱动器用 COM 引脚连接到直流总线负端的低边开关，则使用驱动侧的地线层来屏蔽输出信号免受开关节点产生的噪声的影响；如果栅极驱动器用 COM 引脚连接到开关节点的高边开关，则不建议使用地线层。
- 栅极驱动器下面不允许走 PCB 印制线或覆铜。建议使用 PCB 切口，以避免控制侧和驱动侧之间的任何可能污染增加隔离栅的噪声耦合。

12. 封装信息

下图说明了采用 SOIC8-WB 宽体封装大小尺寸图和建议焊盘尺寸图。尺寸以毫米为单位。



13. 焊接信息

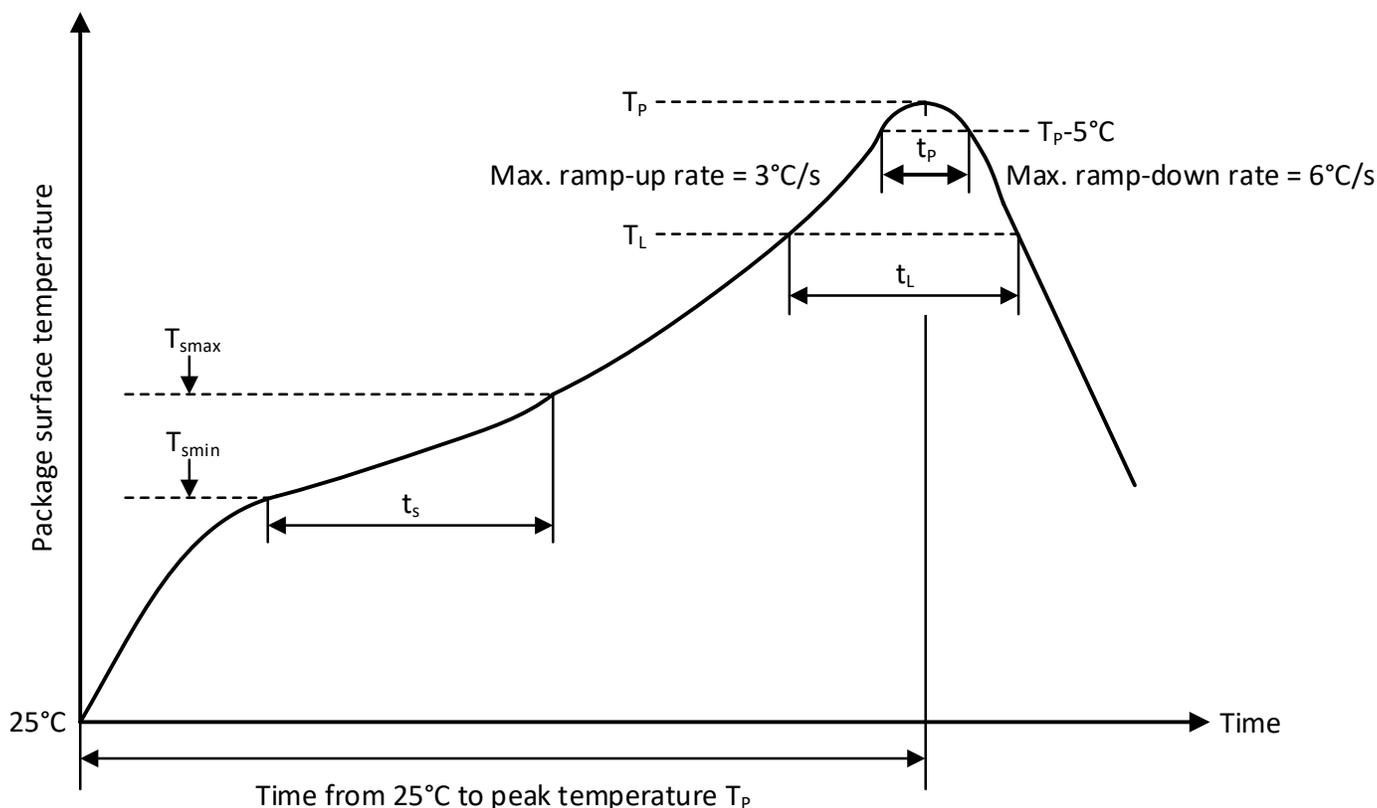
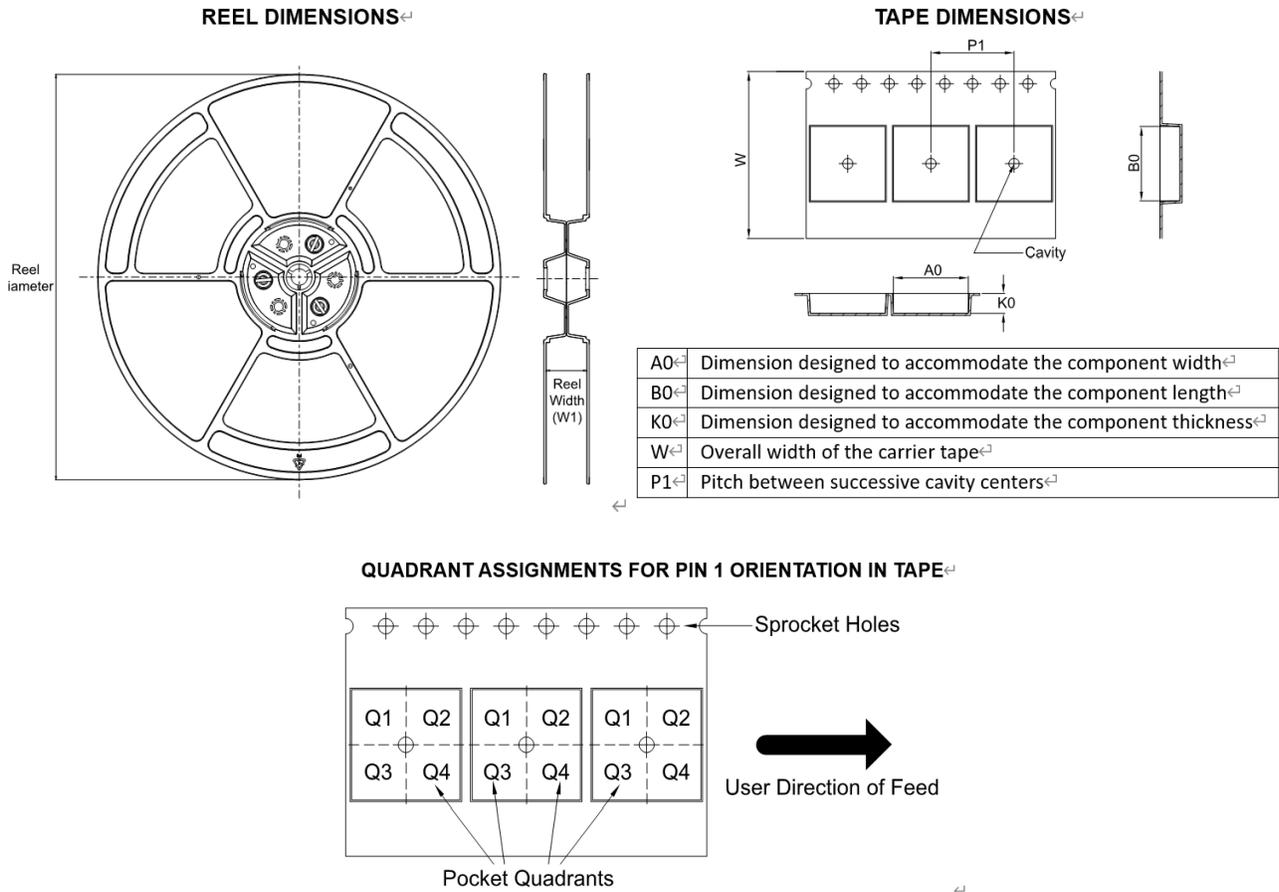


图 12-1 焊接温度曲线

表 12-1 焊接温度参数

简要说明	无铅焊接
温升速率 ($T_L=217^\circ\text{C}$ 至峰值 T_p)	最大 3°C/s
$T_{smin}=150^\circ\text{C}$ 到 $T_{smax}=200^\circ\text{C}$ 预热时间 t_s	60~120 秒
温度保持 217°C 以上时间 t_L	60~150 秒
峰值温度 T_p	260°C
小于峰值温度 5°C 以内时间 t_p	最长 30 秒
降温速率 (峰值 T_p 至 $T_L=217^\circ\text{C}$)	最大 6°C/s
常温 25°C 到峰值温度 T_p 时间	最长 8 分钟

14. 编带信息



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IS3213MCG	SOIC8	G	8	1000	330	16.40	11.95	6.15	3.20	16.0	16.0	Q1
CA-IS3213SCG	SOIC8	G	8	1000	330	16.40	11.95	6.15	3.20	16.0	16.0	Q1
CA-IS3213VCG	SOIC8	G	8	1000	330	16.40	11.95	6.15	3.20	16.0	16.0	Q1

15. 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>